

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG(19) Weltorganisation für geistiges Eigentum
Internationales Büro(43) Internationales Veröffentlichungsdatum
14. Februar 2002 (14.02.2002)

PCT

(10) Internationale Veröffentlichungsnummer
WO 02/13281 A1(51) Internationale Patentklassifikation⁷: H01L 33/00,
27/15

(21) Internationales Aktenzeichen: PCT/DE01/03033

(22) Internationales Anmeldedatum:
8. August 2001 (08.08.2001)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
100 38 671.7 8. August 2000 (08.08.2000) DE
100 59 532.4 30. November 2000 (30.11.2000) DE(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von
US): OSRAM OPTO SEMICONDUCTORS GMBH &
CO. OHG [DE/DE]; Wernerwerkstrasse 2, 93049 Regens-
burg (DE).

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): ILLEK, Stefan
[AT/DE]; Rotwandstrasse 41, 83620 Feldkirchen (DE).
PLÖSSL, Andreas [DE/DE]; Landshuter Strasse 41,
93053 Regensburg (DE). STREUBEL, Klaus [DE/DE];
Erlenstrasse 7, 93164 Laaber (DE). WEGLEITER, Wal-
ter [DE/DE]; Marienstrasse 15, 93152 Nittendorf (DE).
WIRTH, Ralph [DE/DE]; Augustenstrasse 13, 93049
Regensburg (DE).(74) Anwalt: EPPING HERMANN & FISCHER; Ridler-
strasse 55, 80339 München (DE).

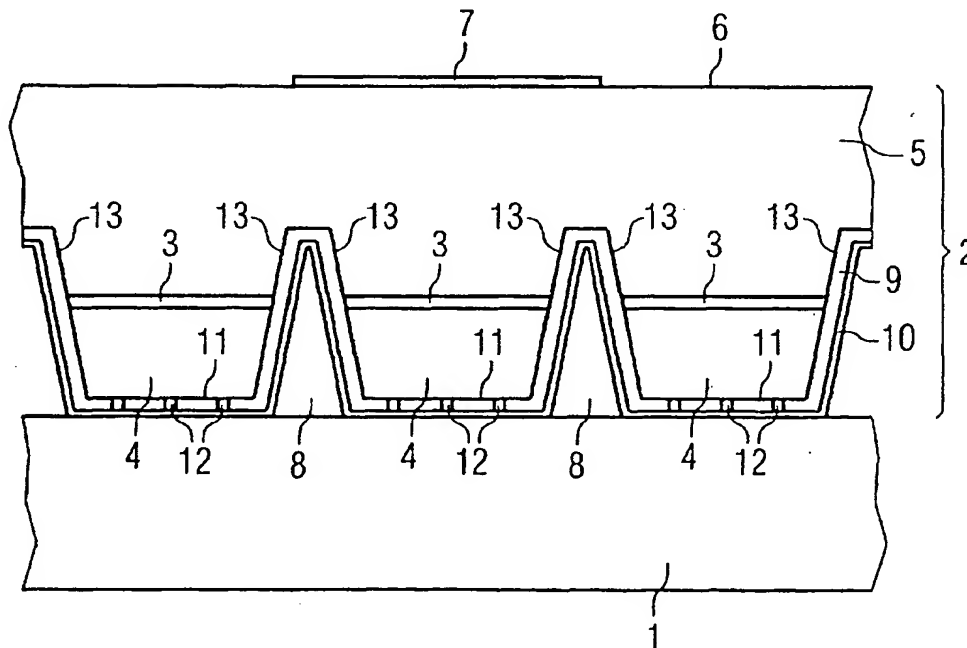
(81) Bestimmungsstaaten (national): CA, CN, JP, KR, US.

(84) Bestimmungsstaaten (regional): europäisches Patent (AT,
BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC,
NL, PT, SE, TR).

[Fortsetzung auf der nächsten Seite]

(54) Title: SEMICONDUCTOR CHIP FOR OPTOELECTRONICS AND METHOD FOR PRODUCTION THEREOF

(54) Bezeichnung: LICHEMITTIERENDER HALBLEITERCHIP UND VERFAHREN ZU DESSEN HERSTELLUNG



(57) Abstract: The invention relates to a semiconductor chip with an active thin film layer (2), within which a photon emitting zone (3) is formed and a support substrate (1), for the thin film layer, on an opposing side to the direction of radiation from the chip is connected thereto. At least one cavity (8) is formed in the active thin film layer (2) due to the support substrate (1), by means of which a number of mesa regions (4) are formed at the boundary between support substrate (1) and the thin film layer (2).

[Fortsetzung auf der nächsten Seite]

**Veröffentlicht:**

- mit internationalem Recherchenbericht
- vor Ablauf der für Änderungen der Ansprüche geltenden Frist; Veröffentlichung wird wiederholt, falls Änderungen eintreffen

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

(57) **Zusammenfassung:** Halbleiterchip, insbesondere strahlungsemitterender Halbleiterchip, mit einer aktiven Dünnfilmschicht (2), in der eine Photonen emittierende Zone (3) ausgebildet ist und einem Trägersubstrat (1) für die Dünnfilmschicht (2), das an einer von der Abstrahlrichtung des Chips abgewandten Seite der Dünnfilmschicht (2) angeordnet und mit dieser verbunden ist. In der aktiven Dünnfilmschicht (2) ist vom Trägersubstrat (1) her mindestens eine Kavität (8) ausgebildet, durch die an der Grenze zwischen Trägersubstrat (1) und Dünnfilmschicht (2) eine Mehrzahl von Mesen (4) ausgebildet ist.

Beschreibung

LICHEMITTIERENDER HALBLEITERCHIP UND VERFAHREN ZU DESSEN HERSTELLUNG

5

Die Erfindung betrifft einen Halbleiterchip für die Optoelektronik, insbesondere einen strahlungsemittierenden Halbleiterchip, mit

- einer aktiven Dünnschicht, insbesondere auf der Basis von $\text{In}_{1-x-y}\text{Al}_x\text{Ga}_y\text{P}$ (wobei $0 \leq x \leq 1$, $0 \leq y \leq 1$ und $x+y \leq 1$ ist), in der eine Photonen emittierende Zone ausgebildet ist und
 - einem Trägersubstrat für die Dünnschicht, das an einer von der Abstrahlrichtung des Chips abgewandten Seite der Dünnschicht angeordnet und mit dieser verbunden ist.
- 15 Sie betrifft weiterhin ein Verfahren zum gleichzeitigen Herstellen einer Mehrzahl von derartigen Halbleiterchips

Das Trägersubstrat ist Teil des Halbleiterchips an sich und mechanische Stütze für die Dünnschicht, d. h. das wesentliche tragende Element für die Dünnschicht, die selbst auf der dem Trägersubstrat gegenüberliegenden Seite keine selbsttragende Schicht mehr aufweist.

Dünnschicht auf der Basis von $\text{In}_{1-x-y}\text{Al}_x\text{Ga}_y\text{P}$ (wobei $0 \leq x \leq 1$, $0 \leq y \leq 1$ und $x+y \leq 1$ ist) bedeutet, dass die Dünnschicht eine Mehrzahl von Schichten aufweist, die aus dotiertem oder undotiertem Material aus dem System $\text{In}_{1-x-y}\text{Al}_x\text{Ga}_y\text{P}$ (wobei $0 \leq x \leq 1$, $0 \leq y \leq 1$ und $x+y \leq 1$ ist) hergestellt sind.

Halbleiterchips der eingangs genannten Art sind aus der US 5,008,718 und US 5,367,580 bekannt. Zur Herstellung eines Halbleiterchips des bekannten Typs wird üblicherweise eine aktive Halbleiterschichtenfolge auf einem Substrat durch ein Epitaxieverfahren aufgebracht. Auf der Oberseite der aktiven Halbleiterschichtenfolge wird daraufhin ein Trägersubstrat befestigt. Das Substrat, auf dem die Halbleiterschichtenfolge abgeschieden worden ist, wird zumindest teilweise entfernt.

Vorteilhafterweise befindet sich zwischen dem Trägersubstrat und der aktiven Halbleiterschichtenfolge eine metallische Reflexionsschicht, so daß kein Licht vom Trägersubstrat absorbiert wird.

5

Ein Nachteil der bekannten Halbleiterchips ist, daß die zwischen Trägersubstrat und der aktiven Halbleiterschichtenfolge angeordnete metallische Reflexionsschicht bei kurzen Wellenlängen im allgemeinen keine zufriedenstellende Reflektivität aufweisen. Insbesondere bei einer Wellenlänge von weniger als 600 nm wird Gold als metallische Reflexionsschicht immer ineffizienter, da die Reflektivität signifikant abnimmt. Bei Wellenlängen unterhalb von 600 nm können beispielsweise die Elemente Al und Ag verwendet werden, deren Reflektivität bei Wellenlängen kleiner 600 nm vergleichsweise konstant bleibt.

Außerdem bereitet das Bonden von großen Flächen, wie die metallische Reflexionsschicht Schwierigkeiten. Durch das Bonden und das Legieren der metallischen Kontaktschicht besteht außerdem eine erhebliche Gefahr für eine Beeinträchtigung der Qualität der metallischen Reflexionsschicht.

Weiter ist aus der DE 198 07 758 A1 ein pyramidenstumpfförmiger Halbleiterchip bekannt, der eine aktive, Licht emittierende Zone zwischen einer oberen Fensterschicht und einer unteren Fensterschicht aufweist. Die obere Fensterschicht und die untere Fensterschicht bilden zusammen einen pyramidenstumpfförmigen Grundkörper. Die schräge Ausrichtung der Seitenwände der Fensterschichten bewirkt, daß das von der aktiven Zone ausgehende Licht an den Seitenflächen totalreflektiert wird und nahezu rechtwinklig auf die als Leuchtfläche dienende Basisfläche des pyramidenstumpfförmigen Grundkörpers auftrifft. Dadurch tritt ein Teil des von der aktiven Zone emittierten Lichts innerhalb des Austrittkegels des Halbleiterelements auf die Oberfläche.

Unter Austrittskegel ist hierbei und soll auch im Folgenden der Kegel zu verstehen, der aus Lichtstrahlen gebildet wird, deren Einfallswinkel auf die Austrittsfläche kleiner als der kritische Winkel für die Totalreflexion ist und die daher
5 nicht totalreflektiert sondern unmittelbar aus dem Halbleitermaterial ausgekoppelt werden. Der Öffnungswinkel des Austrittskegels ist folglich doppelt so groß wie der Grenzwinkel der Totalreflexion. Diejenigen Lichtstrahlen, die außerhalb
10 des Austrittskegels verlaufen, also in einem größeren Winkel als der Grenzwinkel der Totalreflexion auf die Austrittsfläche treffen, werden totalreflektiert.

Um zu einer signifikanten Steigerung der Lichtausbeute zu kommen, setzt dieses Konzept eine Mindestdicke für die obere
15 und untere Fensterschicht voraus. Bei dem bekannten pyramidenstumpfförmigen Halbleiterelement beträgt die Dicke der oberen und unteren Fensterschicht wenigstens $50,8 \mu\text{m}$ (2 Mil-
lizoll). Eine derartige Schichtdicke ist noch im Bereich des Machbaren. Falls jedoch die Leistung des bekannten Halbleiterchips erhöht werden soll, ist es erforderlich, sämtliche
20 Abmessungen zu skalieren. Dabei ergeben sich rasch Schichtdicken, die nur unter hohem Aufwand auf epitaktischem Wege herstellbar sind. Dieser bekannte Halbleiterchip ist daher
wenn überhaupt dann nur mit großem technischen Aufwand skalierbar.
25

Ausgehend von diesem Stand der Technik liegt der Erfindung die Aufgabe zugrunde, einen in Dünnschichttechnik herstellbaren Halbleiterchip mit verbesserter Lichtauskopplung zu schaffen
30 und ein Verfahren zu dessen Herstellung anzugeben.

Diese Aufgabe wird erfindungsgemäß mit einem Halbleiterchip mit den Merkmalen des Patentanspruches 1 und einem Verfahren mit den Merkmalen des Patentanspruches 27 gelöst.
35

Bevorzugte Ausführungsformen und Verfahren zum Herstellen des Halbleiterchips sind Gegenstand der Unteransprüche.

Bei einer besonders bevorzugten Ausführungsform des Halbleiterchips nimmt der Querschnitt der Kavität von Außen nach Innen, das heißt von der Grenze zum Trägersubstrat zum Inneren der Dünnfilmschicht hin ab und beträgt die Tiefe der Kavität
5 mehr als die Hälfte der Dicke der Dünnfilmschicht.

Die Kavität beziehungsweise die durch diese hergestellte Mehrzahl von Mesen bewirkt einerseits vorteilhafterweise, dass die Dünnfilmschicht an ihrer Verbindungsseite zum Trägersubstrat hin Anpressflächen aufweist, die gegenüber der
10 Gesamtquerschnittsfläche des Chips kleinflächig sind. Dies bringt den Vorteil mit sich, dass im Bereich dieser verkleinerten Anpressflächen ein vergleichsweise großer lokaler Druck erzeugt werden kann - dieser ist für ein sicheres Ver-
15 binden von Trägersubstrat und Dünnfilmschicht förderlich - und gleichzeitig aber der Druck auf die Dünnfilmschicht ausreichend gering gehalten werden kann, um die Gefahr einer Schädigung der Dünnfilmschicht beim Verbinden mit dem Trägersubstrat so weit wie möglich auszuschließen.

20 Andererseits wird die zur Verfügung stehende Verbindungsfläche aufgrund der Kavität vergrößert, was ebenfalls zur Verbesserung der Verbindung zwischen Trägersubstrat und Dünnfilmschicht führen kann. Überdies steht die Kavität zur Aufnahme von überschüssigem Klebstoff oder Lötmaterial zur Ver-
25 fügung, was deren Dosierung vorteilhafterweise weniger kritisch macht.

Durch die Kavität werden außerdem vorteilhafterweise Seitenflächen geschaffen, an denen ein Teil der von der aktiven
30 Zone emittierten Strahlung so umgelenkt wird, daß sie innerhalb des Austrittskegels auf die vom Trägersubstrat abgewandte Austrittsfläche der aktiven Dünnfilmschicht auftreffen. Gegenüber dem Stand der Technik tritt bei dem Halbleiterchip
35 gemäß der Erfindung die Reflexion an den Seitenflächen der Mesen zumindest teilweise an die Stelle der Reflexion an einer durchgehenden ebenen Reflexionsschicht.

Dabei ist es vorteilhaft, wenn die Seitenflächen möglichst tief in die Dünnschicht hineinragen, damit ein möglichst großer Anteil der von der aktiven Zone emittierten Strahlung, der nicht unmittelbar auf die Austrittsfläche trifft und dort
5 ausgekoppelt wird, derart (eventuell sogar mehrfach) reflektiert, das heißt umgelenkt wird, dass er mit einem Winkel auf die Austrittsfläche trifft, der innerhalb des Austrittskegels liegt.

10 Untersuchungen zeigen, daß die Auskoppelleffizienz stark ansteigt, wenn die Tiefe der Kavität größer als die Hälfte der Dicke der Dünnschicht ist.

Bei einer Ausführungsform der Erfindung ist die Kavität so
15 tief, daß die aktive Zone der aktiven Dünnschicht von ihr durchtrennt ist.

Es hat sich gezeigt, daß Halbleiterchips, deren aktive Zone durch eine in die aktive Dünnschicht von der Befestigungsseite her eingebrachte Kavität unterbrochen ist, eine
20 besonders hohe Lichtausbeute aufweisen. Denn in diesem Fall werden nicht nur die zur Befestigungsseite hin emittierten Photonen, sondern auch zumindest ein Teil der zur Austrittsfläche der aktiven Dünnschicht hin emittierten Photonen
25 durch Reflexion an den Seitenflächen der Mesen in einen Winkel zur Austrittsfläche umgelenkt, der innerhalb des Austrittskegels liegt.

Die Reflexion an den Begrenzungsflächen der Mesen bewirkt,
30 dass ein Großteil der von der aktiven Zone emittierten Photonen innerhalb des Austrittskegels auf die Austrittsfläche auftrifft und den Halbleiterchip verlassen kann.

Bei einer weiteren bevorzugten Ausführungsform ist die Dünnschicht so ausgebildet, daß wenigstens eine Trajektorie der von der aktiven Zone emittierten Photonen von der jeweiligen Mesa zu einer der benachbarten Mesen führt.
35

Durch die optische Kopplung der Mesen können Photonen, die nicht an einer der Seitenflächen der ursprünglichen Mesa reflektiert worden sind, in eine der benachbarten Mesen gelangen und dort an den Seitenflächen der jeweiligen Mesa so reflektiert werden, daß sie innerhalb des Austrittskegels auf die Austrittsfläche treffen.

Ferner sind bei einer vorteilhaften Ausgestaltung der Erfindung die Mesen mit konkaven Seitenflächen ausgestattet.

Durch diese Maßnahmen verlaufen Strahlen, die an der Austrittsfläche zunächst reflektiert werden mit jeder weiteren Reflexion an einer Seitenfläche einer Mesa zunehmend steiler zur Austrittsfläche, so daß sie schließlich innerhalb des Austrittskegels auf die Austrittsfläche treffen.

Bei einer weiteren bevorzugten Ausführungsform sind die Mesen mit einer Reflexionsschicht bedeckt.

Durch diese Maßnahme werden sämtliche auf die Seitenfläche der Mesen treffenden Lichtstrahlen in Richtung auf die Austrittsseite des Halbleiterchips gelenkt.

Weitere vorteilhafte Ausgestaltungen des erfindungsgemäßen Halbleiterchips und des erfindungsgemäßen Verfahrens ergeben sich aus den im Folgenden in Verbindung mit den Zeichnungen beschriebenen Ausführungsbeispielen. Es zeigen:

Figur 1 eine schematische Darstellung eines Querschnitts durch einen Halbleiterchip gemäß der Erfindung;

Figur 2 eine schematische Darstellung eines Querschnitts durch ein weiteres Ausführungsbeispiel eines Halbleiterchips gemäß der Erfindung, bei dem die aktive

Zone jeweils innerhalb von pyramidenstumpfförmigen Mesen angeordnet ist;

- 5 Figur 3 eine schematische Darstellung eines Querschnitts durch einen Halbleiterchip gemäß der Erfindung, der mit Mesen ausgestattet ist, die konkave Seitenflächen aufweisen;
- 10 Figur 4 ein Diagramm, das die Steigerung der Lichtausbeute bei dem Halbleiterchips gemäß der Erfindung im Vergleich zu herkömmlichen Halbleiterchips zeigt;
- 15 Figur 5 eine schematische Darstellung eines Querschnittsprofils einer Mesa, die sich aus einem unteren flachen Kegelstumpf und einem oberen steilen Kegelstumpf zusammensetzt;
- 20 Figur 6a bis 6d schematische Darstellungen verschiedener Querschnittsprofile von Mesen und ein Diagramm, das die Abhängigkeit der Auskoppelleffizienz vom Radius der Grenzfläche zwischen dem unteren Pyramidenstumpf und dem oberen Pyramidenstumpf der Mesa aus Figur 5 zeigt;
- 25 Figur 7 ein Diagramm, das die Abhängigkeit der Auskoppelleffizienz von der Reflektivität einer auf der Spitze der Mesa aus Figur 5 angeordneten Kontaktschicht zeigt;
- 30 Figur 8 ein Diagramm, in dem die Abhängigkeit der Auskoppelleffizienz von der Reflek-

tivität der Seitenflächen der Mesa aus Figur 5 dargestellt ist;

Figur 9

5

ein Diagramm, aus dem der Zusammenhang zwischen Auskoppelleffizienz und Größe eines Leuchtflecks in der aktiven Zone hervorgeht;

Figur 10a bis 10d

10

schematische Darstellungen verschiedener Querschnittsprofile einer Mesa, bei der die Höhe der aktiven Zone variiert ist und ein Diagramm, in dem die Auskoppelleffizienz in Abhängigkeit von der Dicke einer unteren Begrenzungsschicht dargestellt ist;

15

Figur 11

20

ein Diagramm, das die Abhängigkeit der Auskoppelleffizienz vom Flankenwinkel der Seitenflächen einer Mesa mit dem im Figur 10b dargestellten Querschnittsprofil zeigt;

Figur 12

25

ein weiteres Diagramm, in dem die Abhängigkeit der Auskoppelleffizienz vom Flankenwinkel einer Mesa mit dem Querschnittsprofil aus Figur 10b dargestellt ist;

Figur 13

30

ein Diagramm, das die Abhängigkeit der Auskoppelleffizienz von der Breite der aktiven Dünnschicht bei gleichbleibender Höhe veranschaulicht;

Figur 14

35

ein Diagramm, das die Abhängigkeit der Auskopplungseffizienz von der Dicke einer die Mesa verbindenden Deckschicht

für verschiedene Profile der Mesen zeigt;

- Figur 15
5 eine schematische Darstellung eines Querschnitts durch ein weiteres Ausführungsbeispiel eines Halbleiterchips gemäß der Erfindung;
- Figur 16
10 eine schematische Darstellung eines Querschnitts eines weiteren Ausführungsbeispiels eines Halbleiterchips gemäß der Erfindung;
- Figuren 17a bis 17e
15 eine schematische Darstellung des Ablaufs eines ersten Verfahrens zur Herstellung einer Mehrzahl von Halbleiterchips gemäß der Erfindung;
- Figuren 18a bis 18e
20 eine schematische Darstellung des Ablaufs eines zweiten Verfahrens zur Herstellung einer Mehrzahl von Halbleiterchips gemäß der Erfindung;
- Figuren 19a bis 19e
25 eine schematische Darstellung des Ablaufs eines dritten Verfahrens zur Herstellung einer Mehrzahl von Halbleiterchips gemäß der Erfindung;
- Figur 20
30 ein Bild eines Halbleiterchips gemäß der Erfindung von oben;
- Figur 21
ein Bild einer Schrägansicht einer Oberfläche einer Dünnschicht nach Erzeugung von Kavitäten; und
- Figur 22
35 ein vergrößerter Ausschnitt des Bildes von Figur 21.

Gleiche oder gleichwirkende Bestandteile der Ausführungsbeispiele sind in den Figuren jeweils mit denselben Bezugszeichen versehen.

5 Der in Figur 1 dargestellte Halbleiterchip für eine Lumineszenzdiode weist ein Trägersubstrat 1 auf, auf dem die aktive Dünnschicht 2 angebracht ist. Der Deutlichkeit halber ist in Figur 1 die Dicke der aktiven Dünnschicht 2 im Verhältnis zu der Dicke des Trägersubstrats 1 übertrieben ge-
10 zeichnet. Die aktive Dünnschicht 2 weist eine Photonen emittierende, aktive Zone 3 auf, die jeweils auf einer mittleren Höhe in Mesen 4 ausgebildet ist. Die Mesen 4 können pyramidenstumpfförmig oder kegelförmig ausgebildet sein. Der Halbleiterchip stellt somit eine Lumineszenzdiode dar.

15 Die Mesen 4 sind an einer Deckschicht 5 angeordnet, die auf einer flachen Vorderseite 6 eine zentrale vorderseitige Kontaktstelle 7 aufweist, die vorzugsweise von einer Metallisierungsschicht gebildet ist. Die rückseitigen, von Kavitäten 8
20 gebildeten Mesen 4 sind mit einer Reflexionsschicht bedeckt, die aus einer dielektrischen Isolierschicht 9 und einer darauf aufgetragenen Metallisierungsschicht 10 besteht. Die Isolierschicht 9 ist entlang einer Grundfläche 11 der Mesen 4 durch Durchkontaktierungen 12 unterbrochen, die von metalli-
25 sierten Abschnitten gebildet werden.

Die Isolierschicht 9 hat vorzugsweise einen kleineren Brechungsindex als die angrenzende Halbleiterschicht der Dünnschicht 2. Sie ist weiterhin als Diffusionssperre für die
30 Metallisierungsschicht 10 ausgebildet. An Stelle der Isolierschicht 9 kann auch eine elektrisch leitende Schicht verwendet sein. Maßgebend sind die optischen Eigenschaften dieser Schicht.

35 Zur Herstellung des in Figur 1 dargestellten Halbleiterchips wird zunächst auf einem Aufwuchssubstrat die aktive Dünnschicht 2 epitaktisch aufgewachsen. Die aktive Dünnschicht

schicht 2 kann beispielsweise auf der Basis von InGaAlP hergestellt werden. Dabei wird zunächst die Deckschicht 5 auf dem Aufwachssubstrat ausgebildet und anschließend mit einer Konzentration oberhalb von 10^{18} cm^{-3} dotiert, um eine gute
5 Leitfähigkeit der Deckschicht 5 zu gewährleisten. Denn eine gute Leitfähigkeit der Deckschicht 5 ist Voraussetzung dafür, daß auf der Vorderseite 6 des Lumineszenzdiodechips eine zentrale Kontaktstelle 7 für die Versorgung der aktiven Zone 3 einer Mehrzahl von Mesen 4 mit Strom genügt. Außerdem ist
10 die Zusammensetzung der Deckschicht 5 so gewählt, daß sie für die in der aktiven Zone erzeugten Photonen transparent ist. Dies läßt sich üblicherweise über eine Einstellung der Bandlücke durch die Zusammensetzung des Materials der Deckschicht 5 bewerkstelligen.

15 Anschließend wird eine weitere Schicht auf der Deckschicht 5 aufgebracht, in der die Mesen 4 mit geeigneten naß- oder trockenchemischen Ätzverfahren ausgebildet werden. Derartige Ätzverfahren sind bekannt und sind nicht Gegenstand der An-
20 meldung. Die Mesen 4 werden vorzugsweise nur in den für die Halbleiterchips vorgesehene Bereichen ausgebildet und dort bevorzugt wiederum nur in den Bereichen, in den Lichtauskopp-
lung stattfinden kann, also nicht unter Kontaktschichten 7, 43 und 49 auf der Oberseite der Dünnschicht 2. Die für
25 die Halbleiterchips vorgesehenen Bereiche haben typische laterale Außenabmessungen von beispielsweise $400 \times 400 \text{ } \mu\text{m}^2$. Die Mesen 4 weisen Außenabmessungen auf, die im Bereich der Schichtdicke der aktiven Dünnschicht 2 liegen. Die Außenabmessungen der Mesen 4 liegen daher im Bereich von $10 \text{ } \mu\text{m}$.

30 In einem weiteren Verfahrensschritt erfolgt das Abscheiden der Isolierschicht 9 auf den Mesen 4 und das Ausbilden der Durchkontaktierungen 12. Danach wird die Metallisierungsschicht 10 aufgebracht.

35

Anschließend wird die aktive Dünnschicht 2 entsprechend der vorgesehenen Zahl von Halbleiterchips aufgetrennt. Dies erfolgt beispielsweise durch Naßsäuren.

- 5 Dann werden die vereinzelt aktiven Dünnschichten 2 am Trägersubstrat 1 beispielsweise durch eutektisches Bonden befestigt und das Aufwuchssubstrat durch Naßsäuren entfernt. Abschließend werden die Kontaktstellen 7 auf der freigelegten Vorderseite der aktiven Dünnschicht 2 ausgebildet und die
10 Halbleiterchips durch Trennen des Trägersubstrats 1 vereinzelt.

- Der in Figur 1 dargestellte Halbleiterchip weist den Vorteil auf, daß die von der aktiven Zone 3 erzeugten Photonen nicht
15 auf Komponenten des Halbleiterchips treffen, die diese absorbieren. Denn durch die Metallisierungsschicht 10 werden die Photonen vom Trägersubstrat 1 ferngehalten. Das Trägersubstrat kann demzufolge vorteilhafterweise sehr gut hinsichtlich elektrischer und/oder thermischer Leitfähigkeit und/oder
20 thermischer Ausdehnung optimiert werden.

- Ein weiterer Vorteil ist, daß bei dem Halbleiterchip aus Figur 1 ein Großteil der von der aktiven Zone 3 emittierten Photonen an Seitenflächen 13 der Mesen 4 totalreflektiert
25 wird. Die an den Seitenflächen 13 totalreflektierten Photonen treffen auf die Vorderseite 6 unter einem großen Winkel. Insbesondere trifft ein Teil der Photonen, der ohne Reflexion an den Seitenflächen 13 an der Vorderseite totalreflektiert würde, auf die Vorderseite 6 innerhalb des Austrittskegels
30 und kann daher den Halbleiterchip verlassen. Bei dem Halbleiterchip gemäß Figur 1 wird daher die Reflexion an der aus dem Stand der Technik bekannten durchgehenden Grundfläche zumindest teilweise durch die Totalreflexion an den Seitenflächen 13 ersetzt. Daher weist der Halbleiterchip aus Figur 1 im
35 Vergleich zu herkömmlichen Halbleiterchips ohne Kavitäten 8 eine nahezu um den Faktor 2 gesteigerte Lichtausbeute auf.

Der beschriebene Effekt sei im folgenden anhand der in der Figur 2 und 3 dargestellten weiteren Ausführungsbeispiele im einzelnen erläutert.

- 5 Betrachtet seien eine Reihe von Lichtstrahlen, wobei der Begriff Lichtstrahlen nicht als eine Einschränkung auf eine bestimmte Wellenlänge, sondern als Bezugnahme auf die Methoden der geometrischen Optik, unabhängig von der Wellenlänge, verstanden werden soll.

10

- Bei dem in Figur 2 gezeigten Ausführungsbeispiel sind die Mesen 4 pyramidenstumpfförmig ausgebildet und lediglich an der Grundfläche 11 der Mesen 4 über eine Kontaktschicht 14 am Trägersubstrat 1 befestigt. Durch die Kontaktschicht 14 wird
15 die aktive Zone 3 mit Strom versorgt.

- Aufgrund der großen Differenz zwischen den Brechungsindizes von Halbleitern zu Gießharz von typischerweise 3,5 zu Werten von typischerweise 1,5 können an der Grenzfläche zwischen
20 Halbleiter und Gießharz nur Lichtstrahlen aus dem Halbleiter auskoppeln, die innerhalb eines Austrittskegels mit einem Öffnungswinkel von etwa 16° auf die Grenzfläche auftreffen. Bei einem winkelmäßig gleich verteilten Einfall der Lichtstrahlen entspricht dies etwa 2% der auf eine Flächeneinheit
25 einfallenden Lichtstrahlen.

- Durch die Mesen 4 werden die von der aktiven Zone 3 ausgehende Lichtstrahlen in Richtung auf die Vorderseite 6 gelenkt. Die Mesen 4 bewirken, daß die auf die Seitenflächen 13
30 auftreffenden Lichtstrahlen in Richtung auf die Vorderseite 6 umgelenkt werden und dort innerhalb des Austrittskegels auftreffen, so daß sie den Halbleiterchip verlassen können. Die Lichtausbeute kann dabei durch eine geeignete Wahl der Abmessungen der Grundfläche 11, des Neigungswinkels der Seitenfläche 13 und der Höhe der Mesen 4 sowie die Lage der aktiven
35 Zone 3 optimiert werden.

In Figur 2 ist ein Lichtstrahl 15 gezeigt, der zunächst an der Seitenfläche 13 totalreflektiert und von dort zur Vorderseite 6 gelenkt wird. Auf der Vorderseite 6 trifft der Lichtstrahl 15 innerhalb des Austrittskegels auf die Grenzfläche auf und kann daher den Halbleiterchip verlassen. Ohne die Totalreflexion an der Seitenfläche 13 wäre der Lichtstrahl 15 an der Vorderseite 6 totalreflektiert und zu einer der aus dem Stand der Technik bekannten Reflexionsschichten zurückgelenkt worden, wo er erneut reflektiert worden wäre. Insofern wird bei dem in Figur 2 dargestellten Ausführungsbeispiel die Reflexion an der herkömmlichen durchgehenden Reflexionsschicht durch die Reflexion an den Seitenflächen 13 ersetzt.

Dies gilt auch für einen Lichtstrahl 16, der zunächst an der Grundfläche 11 und dann an der Seitenfläche 13 reflektiert wird. Auch der Lichtstrahl 16 wird nach der zweiten Reflexion zu der Vorderseite 6 gelenkt, wo er innerhalb des Austrittskegels auftrifft. Ohne die Reflexion an der Seitenfläche 13 wäre der Lichtstrahl 16 ebenfalls an der Vorderseite 6 totalreflektiert und zu einer rückseitigen Reflexionsschicht zurückgelenkt worden.

Von Vorteil ist ferner, daß die Mesen 4 über die Deckschicht 5 optisch gekoppelt sind. Unter der optischen Kopplung soll in diesem Zusammenhang verstanden werden, daß wenigstens einer der von der aktiven Dünnschicht 2 ausgehenden Lichtstrahlen über eine Mittellinie 17 hinweg von dem Bereich einer der Mesen 4 in den Bereich einer der benachbarten Mesen 4 gelangen kann. Denn durch die optische Kopplung mit Hilfe der Deckschicht 5 kann ein Lichtstrahl 18, der nicht auf eine der Seitenflächen 13 der jeweiligen Mesen 4 trifft, auf eine der Seitenflächen 13 einer der benachbarten Mesen 4 treffen und dort zur Vorderseite 6 gelenkt werden, wo er innerhalb des Austrittskegels auftrifft. Durch die optische Kopplung über die Deckschicht 5 wird daher die Lichtausbeute weiter gesteigert.

In Figur 3 ist schließlich ein Querschnitt durch ein abgewandeltes Ausführungsbeispiel des Halbleiterchips dargestellt, bei dem die Mesen 4 kegelstumpfförmig mit konkaven Seitenflächen 13 ausgebildet sind. Die Ausgestaltung der Seitenflächen 13 führt dazu, daß ein zwischen der Vorderseite 6 und der Seitenfläche 13 hin und her reflektierter Lichtstrahl 18 bei Annäherung an die Mittellinie 17 zunehmend zur Vorderseite hin umgelenkt wird, bis er innerhalb des Austrittskegels auf die Vorderseite 6 auftrifft. Das gleiche gilt für Lichtstrahlen 19, die zunächst über die Deckschicht 5 von jeweils einer Mesa 4 zur benachbarten Mesa 4 gelangen und dort in einem großen Winkel zur Vorderseite 6 gebracht werden.

In Figur 4 ist schließlich ein Diagramm dargestellt, in dem eine Meßkurve 20 die Abhängigkeit der Lichtausbeute in relativen Einheiten vom Betriebsstrom bei Pulsbetrieb für eine herkömmliche, in Dünnschichttechnik hergestellte Leuchtdiode darstellt. Eine weitere Meßkurve 21 veranschaulicht die Abhängigkeit der Lichtausbeute in relativen Einheiten in Abhängigkeit vom Betriebsstrom für eine Leuchtdiode gemäß dem in Figur 3 dargestellten Ausführungsbeispiel. Figur 4 ist zu entnehmen, daß die Lichtausbeute bei dem in Figur 3 dargestellten Ausführungsbeispielen etwa das Doppelte der Lichtausbeute von herkömmlichen Halbleiterchips ohne Kavitäten 8 aufweist.

Um die günstigste Form für die Mesen 4 zu ermitteln, wurde eine Reihe von Untersuchungen durchgeführt. Die Ergebnisse dieser Untersuchungen werden nachfolgend anhand der Figuren 5 bis 14 im einzelnen vorgestellt.

Zunächst seien die in den Untersuchungen variierten Parameter anhand Figur 5 erläutert. In Figur 5 ist ein Querschnittsprofil einer der Mesen 4 dargestellt. In dem gezeigten Fall ist die Mesa 4 aus einem unteren Kegelstumpf 22 und einem oberen Kegelstumpf 23 zusammengesetzt. Der untere Kegelstumpf 22 grenzt mit einer Basisfläche 24 an die Deckschicht 5 an. Im

oberen Kegelstumpf 23 ist die aktive Zone 3 ausgebildet. Außerdem ist in Figur 5 eine auf der Grundfläche 11 der Mesa 3 angeordnete Kontaktstelle 25 vorgesehen.

- 5 Die Seitenflächen 13 der Mesa 4 setzen sich aus einer Flanke 26 des unteren Kegelstumpfs 22 und Flanken 27 des oberen Kegelstumpfs 23 zusammen. Die geometrischen Abmessungen des unteren Kegelstumpfes 22 entlang einer gemeinsamen Grenzfläche 28 sind so gewählt, daß die Flanke 26 unmittelbar in die
10 Flanke 27 übergeht.

Im folgenden wird auf verschiedene Abmessungen der Mesa 4 Bezug genommen. Der Radius der Basisfläche 24 des unteren Kegelstumpfes 22 wird mit r_n , der Radius der Grenzfläche 28 mit
15 r_t und der Radius der Grundfläche 11 mit r_p bezeichnet. Ferner kann die Mesa 4 in eine untere Begrenzungsschicht 29 zwischen der Basisfläche 24 und der aktiven Zone 3 und eine obere Begrenzungsschicht 30 zwischen der aktiven Zone 3 und der Grundfläche 11 unterteilt werden. Die untere Begrenzungsschicht 29 weist dabei eine Höhe h_u und die obere Begrenzungsschicht 30 eine Höhe h_o auf. Die gesamte Höhe der Mesa 4 wird schließlich mit H bezeichnet. Sie wurde durchgehend in
20 allen Untersuchungen gleich $6 \mu\text{m}$ gesetzt. Für die Dicke h_w der Deckschicht 5 wurde in allen Untersuchungen, in denen die
25 Dicke h_w nicht variiert wurde, ein Wert von $2 \mu\text{m}$ gewählt.

In den Figuren 6a bis 6d ist das Ergebnis einer Rechnung dargestellt, in der der Radius r_p der Grundfläche 11 gleich $5 \mu\text{m}$ und der Radius r_n der Basisfläche 24 gleich $20 \mu\text{m}$ gesetzt
30 wurde. Der Radius r_t der Grenzfläche 28 wurde zwischen 6 und $18 \mu\text{m}$ entsprechend den in Figur 6a bis Figur 6c dargestellten Querschnittsprofilen variiert.

In den Untersuchungen wurde für die aktive Zone 3 ein Brechungsindex von $3,2$ verwendet. Der Brechungsindex der unteren Begrenzungsschicht 29, der oberen Begrenzungsschicht 30 sowie der Deckschicht 5 war gleich $3,3$. Soweit nicht variiert,

wurde die Reflektivität der Kontaktstelle 25 mit 0,3 verwendet. Die Reflektivität der von der Kontaktstelle 25 nicht bedeckten Grundfläche 11 sowie der Flanken 26 und 27 wurde auf den Wert 0,8 gesetzt. Unter Reflektivität wird dabei jeweils
5 der auf die Energie bezogene Reflexionskoeffizient verstanden.

Ferner wurde die Selbstabsorption der aktiven Zone 3 durch einen Absorptionskoeffizient von 10.000/cm berücksichtigt.
10 Alle Untersuchungen wurden mit Photonenrecycling durchgeführt. Dafür wurde eine interne Quanteneffizienz von 0,8 angenommen. Die Quanteneffizienz bei der Erzeugung von Photonen durch Ladungsträgerrekombination wurde nicht berücksichtigt. Die in den Diagrammen angegebene Auskoppelleffizienz η ist
15 daher gleich dem Verhältnis der aus dem Halbleiterchip ausgekoppelten Photonen zur Zahl der tatsächlich erzeugten Photonen. Die Werte für die angegebene Auskoppelleffizienz η müßte daher noch mit dem Faktor 0,8 multipliziert werden, um zum externen Wirkungsgrad zu kommen.

20 Weiter wurde angenommen, daß die Reflexion an der Kontaktstelle 25 und den Flanken 26 und 27 winkelnunabhängig ist. In den Untersuchungen wird daher der Fall, daß zunächst die dielektrische Isolierschicht 9 auf die Mesen 4 aufgebracht und
25 durch die spiegelnde Metallisierungsschicht 10 ergänzt wird, in den Untersuchungen in seiner Wirkung unterschätzt, da in den Untersuchungen die in diesem Fall auftretende Totalreflexion nicht berücksichtigt wird.

30 Figur 6c zeigt ein Diagramm, in dem die Auskoppelleffizienz η gegen den Radius r_t in einer Kurve 31 aufgetragen ist. Zum Vergleich ist auch die Auskoppelleffizienz eines normalen Dünnschicht-Halbleiterchips eingezeichnet, bei dem die Streuung nur über das Photonenrecycling vermittelt wird. Dieser Dünnschicht-Halbleiterchip mit der Kantenlänge 300 μm weist die
35 gleiche Epitaxiестruktur wie die Mesa 4 im unteren Kegelstumpf 22 und oberen Kegelstumpf 23 auf. Es wurde angenommen,

- daß der Halbleiterchip p-seitig mit einem Spiegel versehen ist, dessen Reflektivität 0,72 beträgt. Dieser Wert ist der mit dem Belegungsgrad gewichtete Mittelwert der Reflektivität einer Reflexionsschicht und einer Kontaktschicht, wobei für die Reflektivität der Reflexionsschicht der Wert 0,8 und für den Belegungsgrad der Reflexionsschicht der Wert 0,85 verwendet und für die Reflektivität der Kontaktschicht der Wert 0,3 und der Belegungsgrad 0,15 verwendet wurde.
- 10 Aus Figur 6 ist erkennbar, daß bei einem sehr großen Anstellwinkel φ_0 des oberen Kegelstumpfs 23 gemäß dem in Figur 6a dargestellten Querschnittsprofil die Auskoppelleffizienz η kaum besser als die Auskoppelleffizienz η einer herkömmlichen Dünnschicht-Lumineszenzdiode ist, deren Auskoppelleffizienz in 15 Figur 6d durch die Gerade 32 dargestellt ist. Dies ist auch verständlich, da die Mesa 4 mit dem in Figur 6a dargestellten flachen Flächenquerschnittsprofil kaum die von der aktiven Zone 3 ausgehenden Lichtstrahlen in einen steilen Winkel zur Leuchtfläche 6 bringt. Genau dies bewerkstelligt jedoch die 20 Mesa 4 mit dem in Figur 6c dargestellten Querschnittsprofil, weshalb auch in diesem Fall die Auskoppelleffizienz η nahezu das Doppelte der Auskoppelleffizienz η einer herkömmlichen Dünnschicht-Lumineszenzdiode beträgt.
- 25 Des weiteren wurde die Abhängigkeit der Auskoppelleffizienz η von der Reflektivität der Kontaktstelle 25 untersucht. Zu diesem Zweck wurde die Auskoppelleffizienz η in Abhängigkeit von der Reflektivität der Kontaktstelle 25 berechnet, wobei das Querschnittsprofil der Mesa 4 gleich dem in Figur 6b dar- 30 gestellten Querschnittsprofil war. Außerdem wurde angenommen, daß die Kontaktstelle 25 die gesamte Grundfläche 11 abdeckt. Aus Figur 7 ist erkennbar, daß die Auskoppelleffizienz η nicht wesentlich von der Reflektivität der Kontaktstelle 25 abhängt. Die hier beschriebenen Halbleiterchips mit Mesen 4 35 auf der Befestigungsseite erscheinen daher wesentlich unempfindlicher gegen die schlechte Reflektivität der Kontaktstellen 25 zu sein als die herkömmliche Dünnschicht-Lumineszenz-

dioden, da die zur Auskopplung führenden Vielfachreflexionen offenbar nur zu einem geringen Bruchteil zwischen der Grundfläche 11 und der Leuchtfläche 6, sondern dreidimensional in der Mesa 4 erfolgen.

5

Die relative Unabhängigkeit von der Reflektivität der Kontaktstelle 25 ist besonders von Vorteil, da in der Praxis ein niedriger ohmscher Widerstand zwischen der Kontaktstelle 25 und der oberen Begrenzungsschicht 30 im allgemeinen mit einer schlechten Reflektivität verknüpft ist. Denn ein guter ohmscher Kontakt erfordert die Diffusion von Atomen aus der die Kontaktstelle 25 bildenden Schicht in das darunter liegende Material.

15 Im Gegensatz zur Abhängigkeit von der Reflektivität der Kontaktstelle 25 ist die Abhängigkeit der Auskoppelleffizienz η von der Reflektivität R_S der Spiegelflächen auf der Grundfläche 11 und den Flanken 26 und 27 stark ausgeprägt. Dies zeigen die Ergebnisse einer Rechnung, die mit einem Modell für den Halbleiterchip durchgeführt worden sind, dessen Mesen 4
20 die Radien $r_p = 5 \mu m$, $r_d = 16 \mu m$ und $r_n = 20 \mu m$ aufweisen.

Die Mesen 4 weisen daher in etwa das in Figur 6b dargestellte Querschnittsprofil auf.

25

Das Ergebnis dieser Rechnung ist eine in Figur 8 eingetragene Kurve 33, die monoton mit zunehmender Reflektivität R_S ansteigt. Ein in das Diagramm aus Figur 8 eingetragener Punkt 34 stellt das Ergebnis einer Rechnung für einen Halbleiterchip dar, auf den keine Spiegelschicht aufgebracht wurde, sondern der in Harz als umgebendes Medium eingebettet wurde. Hier findet allerdings Totalreflexion statt, so daß sich gegenüber einem Halbleiterchip mit einer Spiegelschicht eine größere Auskoppelleffizienz ergibt. Dies wäre auch bei dem in
30 Figur 1 dargestellten Ausführungsbeispiel der Fall, bei dem zwischen der Metallisierungsschicht 10 die elektrische Iso-

35

lierschicht angeordnet ist, an der gleichfalls Totalreflexion stattfinden kann.

Figur 9 enthält das Ergebnis einer Rechnung, die an einem Halbleiterchip mit Mesen 4 ausgeführt wurde, für deren Radien galt: $r_p = 5 \mu\text{m}$, $r_t = 16 \mu\text{m}$ und $r_n = 20 \mu\text{m}$. Die Mesen 4 weisen daher im wesentlichen das die Figur 6b dargestellte Querschnittsprofil auf. Die aktive Zone 3 befand sich dabei auf mittlerer Höhe zwischen der Basisfläche 24 und der Grundfläche 11. Bei dieser Rechnung wurde der Bereich, in dem in der aktiven Zone 3 Photonen entstehen auf einen Leuchtfleck eingeengt, dessen Durchmesser d_L auf der Abszisse aufgetragen ist. Anhand des Diagramms in Figur 9 ist erkennbar, daß die Auskoppelleffizienz bei einem kleinen Leuchtfleck besonders hoch ist. Das bedeutet, daß Photonen im Zentrum der aktiven Zone 3 besonders gut ausgekoppelt werden. Insofern ist ein leichter Weierstrass-Effekt vorhanden.

Ferner wurde der Einfluß der Position der aktiven Zone 3 untersucht. In Figuren 10a bis 10c sind verschiedene Querschnittsprofile dargestellt, bei denen die Dicke h_u der unteren Begrenzungsschicht 29 und die Dicke h_o der oberen Begrenzungsschicht 30 so variiert wurden, daß die gesamte Höhe H der Mesa konstant blieb. Das Ergebnis der Rechnung ist in Figur 10d dargestellt, in der die Auskoppelleffizienz η in Abhängigkeit von der Dicke h_u der unteren Begrenzungsschicht 29 aufgetragen ist. Es zeigt sich, daß die Auskoppelleffizienz η nur wenig von der Position der aktiven Zone 3 abhängig ist. Eine aktive Zone 3, die in der unteren Hälfte der Mesa 4 liegt, ist zu bevorzugen, da dann die Stromdichte durch die aktive Zone 3 gering ist und daher die Strombelastung der aktiven Zone 3 klein gehalten wird, was Alterungs- und Linearitätsprobleme vermeidet.

Weiter wurde der Einfluß des Anstellwinkel ϕ_o der Flanke 27 und des Anstellwinkels ϕ_u der Flanke 26 untersucht. Dabei wurde von einem Querschnittsprofil ausgegangen, bei dem der

untere Kegelstumpf 22 und der obere Kegelstumpf 23 jeweils den gleichen Wert für die Anstellwinkel φ_u und φ_o aufweisen. Dabei wurde der Radius φ_o der aktiven Zone 3 konstant auf 10 μm gehalten und der Anstellwinkel $\varphi = \varphi_o = \varphi_u$ variiert. Dabei wurden zwei Fälle betrachtet. Zum einen wurde die Auskoppel-
effizienz η für den Fall periodischer Randbedingungen untersucht, wobei der Abstand der Fußpunkt 10 μm beträgt. Das Ergebnis ist im Diagramm in Figur 11 in der Kurve 35 festgehalten. Außerdem wurde ein aperiodischer Fall untersucht. Dazu wurde die Auskoppel-effizienz η eines Halbleiterchips mit einer einzelnen Mesa 4 berechnet, wobei alle in die Deckschicht 5 einlaufenden Photonen von der Deckschicht 5 absorbiert werden. Der aperiodische Fall wird in Figur 11 durch die Kurve 36 wiedergegeben. Aus Figur 11 ist bereits erkennbar, daß die Deckschicht 5 einen spürbaren Beitrag zur Auskoppel-effizienz η liefert.

Für den Flankenwinkel φ existiert auch ein optimaler Bereich. Dies wird anhand Figur 12 deutlich. In der zugrunde liegenden Rechnung wurde der Radius r_p gleich 10 μm gesetzt. Der Radius r_a der aktiven Zone 3 und der Radius r_n der Basisfläche 24 wurden so variiert, daß der Anstellwinkel φ der Flanken 27 und 26 einen Wertebereich zwischen 1,5° und 85° abdeckt. Wie aus Figur 12 erkennbar ist, gibt es einen optimalen Winkelbereich für den Anstellwinkel φ . Der Flankenwinkel φ sollte zwischen 5° und 60°, vorzugsweise zwischen 10° und 40° liegen. Besonders gute Werte für die Auskoppel-effizienz η ergeben sich wenn der Anstellwinkel φ zwischen 15° und 30° liegt.

Anschließend wurde untersucht, welche Auswirkung eine Variation der Breite der Mesen 4 auf die Auskoppel-effizienz η hat. In diesem Fall wurde daher die Höhe H der Mesen 4 konstant gehalten und die Radien r_p , r_a und r_n gleichmäßig gestreckt. Eine Kurve 37 in Figur 13 veranschaulicht den Fall, daß die Reflektivität R_K der Kontaktstelle 25 gleich 0,3 ist. Eine weitere Kurve 38 betrifft den Fall, daß die Reflektivität R_K der Kontaktstelle 25 0,8 beträgt. Sowohl die Kurve 37

als auch die Kurve 38 zeigen die Abhängigkeit der Auskoppel-
effizienz η vom Durchmesser $2r_a$ der aktiven Zone 3. Bei gu-
ter Reflektivität der Kontaktstelle 25 sinkt die Auskoppel-
effizienz η nur wenig mit zunehmendem Durchmesser der aktiven
5 Zone 3. Die Kurve 37, die den realistischen Fall einer
schlechten Reflektivität R_K der Kontaktstelle 25 veranschau-
licht, zeigt jedoch, daß die Auskoppel-effizienz η mit zuneh-
mendem Durchmesser der aktiven Zone 3 stark abnimmt. Die Aus-
koppel-effizienz η ist daher um so besser, je kleiner die
10 seitliche Ausdehnung der Mesen 4 ist.

Auch die Dicke der Deckschicht 5 ist für die Auskoppel-effizi-
enz η von Bedeutung. In Figur 14 ist die Auskoppel-effizienz
 η für verschiedene Fälle in Abhängigkeit von der Dicke h_w
15 der Deckschicht 5 aufgetragen. Eine Kurve 39 gibt den bereits
erwähnten periodischen Fall wieder. Eine weitere Kurve 40 be-
trifft den aperiodischen Fall und eine dritte Kurve 41 einen
Fall, in dem quadratische Halbleiterchips mit einer Kanten-
länge von $300\text{ }\mu\text{m}$ durch eine Verbindungsschicht untereinander
20 verbunden sind. Man erkennt aus Figur 14, daß die Deckschicht
5 mit wachsender Schichtdicke zunehmend von Vorteil ist. Ins-
besondere ist es von Vorteil, wenn die Schichtdicke h_w klei-
ner als die Höhe der Mesen 4 ist, die im vorliegenden Fall 6
 μm beträgt. Daraus folgt, daß die Tiefe der Kavitäten 8 grö-
25 ßer als die Hälfte der Dicke der aktiven Dünnschicht 2
sein sollte.

Allerdings geht aus Figur 14 auch hervor, daß eine Vielzahl
von einzelnen Halbleiterchips, die jeweils eine Mesa 4 auf-
weisen, den besten Fall darstellen, da die Auskoppel-effizienz
30 bei der Dicke $h_w = 0$ am höchsten ist. Einzelchips haben je-
doch den Nachteil, daß ihre Leistung nicht beliebig vergrößert
werden kann, da mit der Leistung auch die Abmessungen
der Halbleiterchips skaliert werden müssen. Aus praktischen
35 Gründen ist jedoch die Dicke von Epitaxieschichten begrenzt.
Dies hat zur Folge, daß einzelne Halbleiterchips sich nicht
für beliebig hohe Leistungen auslegen lassen. Die in den Fi-

guren 1 bis 4 vorgestellten Halbleiterchips lassen sich jedoch nahezu beliebig skalieren, da nur die Zahl der Mesen 4 entsprechend der zunehmenden Fläche der Deckschicht 5 erhöht werden muß, um die Lichtleistung der Halbleiterchips zu steigern.

Eine weitere Untersuchung bezog sich auf die Frage, ob die aktive Zone 3 nicht auch in der Deckschicht 5 angeordnet sein kann. Dazu wurde die Auskoppelleffizienz für eine herkömmliche Dünnschicht-Lumineszenzdiode berechnet und diese gleich 1 gesetzt. Ein Halbleiterchip mit der aktiver Zone 3 in der Deckschicht 5 hat im Vergleich zur herkömmlichen Dünnschicht-Lumineszenzdiode eine Auskoppelleffizienz von 1,25. Für die in Figuren 1 bis 4 dargestellten Halbleiterchips ergab sich schließlich eine relative Auskoppelleffizienz von 1,67. Dies zeigt, daß auch dann eine Steigerung der Auskoppelleffizienz η erreichbar ist, wenn die aktive Zone 3 in der Deckschicht 5 angeordnet ist.

Figur 15 zeigt eine bevorzugte Ausgestaltung eines erfindungsgemäßen Dünnschicht-Lumineszenzdiodechips in schematischer Darstellung. Die Dünnschicht 2 besteht dabei aus einer mit Te hochdotierten n-InGaAlP-Schicht 2a (Konzentration $> 10^{17} \text{ cm}^{-3}$, bevorzugt $> 10^{18} \text{ cm}^{-3}$) mit einer Schichtdicke von etwa $4 \mu\text{m}$ und einer Mg-dotierten p-GaP-Schicht 2b mit einer Schichtdicke von etwa $3,5 \mu\text{m}$.

Auf der zum Trägersubstrat 1 gewandten Befestigungsseite 11 der Dünnschicht 2 sind, wie in Zusammenhang mit Fig. 1 beschrieben, eine Isolierschicht 9, beispielsweise aus Si_3N_4 und eine metallische Reflektorkontaktschicht 10 aufgebracht. Die Si_3N_4 - Schicht, die bezogen auf die Wellenlänge des von der aktiven Zone emittierten Lichts eine Dicke von vorzugsweise etwa drei Wellenlängen der emittierten Strahlung aufweist, führt neben ihrer elektrischen Isolationswirkung auch zu einer verbesserten Spiegelwirkung des metallischen Reflektors und stellt bei Verwendung eines geeigneten Materials

gleichzeitig eine Diffusionssperre zwischen Dünnschicht 2 und metallischer Reflektorschicht 10 dar.

Die Isolierschicht 9 kann alternativ ein Schichtstapel von
5 beispielsweise abwechselnd Siliziumnitridschichten und Siliziumoxidschichten sein.

Die p-seitige Stromzuführung zu der aktiven Zone 3 wird durch
einlegierte AuZn-Kontakte 12 gewährleistet, die an der dem
10 Trägersubstrat 1 zugewandten Fläche der Mesen 4 angeordnet
und durch die Isolierschicht 9 hindurchgeführt sind.

Die Reflektorkontaktschicht 10 ist vorzugsweise eine
AuZn/TiW(N)/Au-Schicht. Sie kann aber auch vollständig aus
15 Au, Al oder Ag oder aus einer Legierung aus diesen Metallen.

Um eine ausreichende mechanische Stabilität zu erreichen, ist
die Dünnschicht 2 durch Bonden auf das leitfähige Träger-
substrat 1, im Ausführungsbeispiel ein n-GaAs-Substrat, auf-
20 gebracht. Oberseite und Unterseite des Trägersubstrats 1 sind
dabei beispielsweise mit AuGe-Kontaktschichten 44, 45 verse-
hen. Auf der zur Dünnschicht 2 gewandten Seite befindet
sich auf der AuGe-Kontaktschicht 45 beispielsweise zusätzlich
eine TiPtAu/AuSn-Schicht 47.

25

Auf der Vorder- oder Auskoppelseite des Chips ist ein Mitten-
kontakt 7 und ein Metallrahmen 43 oder ein anderer elektrisch
leitender Rahmen vorgesehen, der über zwei nicht gezeigte
elektrisch leitende Stege mit dem Mittenkontakt 7 verbunden
30 ist. Der Mittenkontakt 7 und der Metallrahmen 43 bestehen
beispielsweise aus einer TiPtAu-Schicht und einer zwischen
dieser und der Dünnschicht 2 angeordneten TiAuGe-Schicht.

Die hohe Leitfähigkeit der n-InGaAlP-Schicht gewährleistet
35 die erforderliche Stromaufweitung. Die Stromzuführung zur p-
Seite der aktiven Zone 3 erfolgt über die Kontaktschicht 44

an der Unterseite des Trägersubstrats 1 und durch dieses hindurch.

5 Zur weiteren Verbesserung der Lichtauskopplung ist auf der Vorderseite der Dünnschicht 2 eine optische Vergütungsschicht 42 angeordnet, im Ausführungsbeispiel ein $\lambda/4$ -Schicht aus Si_3N_4 .

10 Wie bereits im Zusammenhang mit Fig. 2 beschrieben, sind in der Dünnschicht 2 von der Verbindungsebene zwischen Trägersubstrat 1 und Dünnschicht 2 her eine Mehrzahl pyramidenstumpfförmiger Kavitäten 8 ausgebildet, die die Lichtauskopplung der Lumineszenzdiode deutlich erhöhen. Im Ausführungsbeispiel reichen die Kavitäten 8 so weit in die Dünnschicht 2 hinein, daß sie den pn-Übergang 3 unterbrechen.
15 Die Kavitäten 8 können aber auch nur so tief ausgebildet sein, dass sie den pn-Übergang nicht durchtrennen.

Neben der Steigerung der Lichtauskopplung haben die Kavitäten 20 8 zusätzlich den Vorteil, daß sie die beim eutektischen Bonden der Dünnschicht 2 auf das Trägersubstrat 1 aufgrund der unterschiedlicher thermischen Ausdehnungskoeffizienten der verschiedenen Materialien auftretenden Spannungen erheblich abbauen. Somit wird die Prozeßsicherheit und die Fertigungsausbeute erhöht.
25

Ähnliches gilt für die Kompensation von während des Betriebes des Halbleiterchips auftretende mechanische Spannungen aufgrund unterschiedlichen thermischen Ausdehnungen bei Temperaturerhöhung durch Verlustleistung.
30

Figur 16 zeigt einen weiteren Halbleiterchip nach der Erfindung in schematischer Darstellung. In dieser Ausführungsform ist die Dünnschicht 2 auf einem elektrisch isolierenden Trägersubstrat 1 aufgebracht, so daß die Stromzuführung zur p-Seite des pn-Übergangs 3 über einen neben der Dünnschicht-
35

schicht 2 auf der Au-Ge Kontaktschicht 45 angeordneten p-Kontakt 46 erfolgt.

- Die p-InGaAlP Schicht 2b weist eine Dicke von 6 μm auf, die mit $1 \times 10^{18} \text{ cm}^{-3}$ dotierte n-InGaAlP:Te - Schicht 2a eine Dicke von 3 μm . Die Kavitäten 8 erstrecken sich bei dieser Aufführungsform in eine Tiefe von 5,5 μm . Sie unterbrechen bei diesem Ausführungsbeispiel den pn-Übergang 3 also nicht.
- 10 Auf der vom Trägersubstrat 1 abgewandten Vorderseite der Dünnschicht 2 ist in diesem Ausführungsbeispiel beispielhaft eine optische Vergütungsschicht 48 aus leitfähigem Indium-Zinn-Oxid angebracht, die neben der Verbesserung der Lichtauskopplung auch zur Stromaufweitung beiträgt. Die n-Schicht 2a kann hier folglich eventuell dünner ausgeführt sein, als bei Verwendung einer elektrisch isolierenden Vergütungsschicht, weil dann die Stromaufweitung nicht ausschließlich in der Dünnschicht 2 erfolgen muß.
- 20 Eine solche elektrisch leitfähige Vergütungsschicht 48 kann auch bei allen anderen Ausführungsformen des erfindungsgemäßen Halbleiterchips eingesetzt sein. Ebenso kann bei dem Ausführungsbeispiel von Figur 16 an Stelle der Indium-Zinn-Oxid-Schicht 48 eine isolierende Vergütungsschicht 42 eingesetzt sein.
- 25

Die in Figur 16 dargestellte Struktur eignet sich auch bei Verwendung eines leitfähigen Trägersubstrats 1 und ist nicht auf die Verwendung eines elektrisch isolierenden Trägersubstrats 1 beschränkt.

30

Die Struktur der Ausführungsform von Figur 16 hat den Vorteil, dass das Trägersubstrat 1 vorteilhafterweise insbesondere hinsichtlich thermischer Ausdehnung und/oder Wärmeleitfähigkeit optimiert werden kann, ohne auf dessen elektrische Leitfähigkeit achten zu müssen.

35

Bedarfsweise können zur Prozessierung der Dünnschicht die Kavitäten 8 mit einem geeigneten Material verfüllt sein.

Der in den Figuren 17a bis 17e veranschaulichte Verfahrensab-
5 lauf zum gleichzeitigen Herstellen einer Vielzahl von erfindungsgemäßen Halbleiterchips zeigt schematische Darstellungen senkrechter Schnitte durch einen Wafer zu verschiedenen Zeitpunkten des Herstellungsverfahrens. Auf eine detaillierte Darstellung insbesondere der aktiven Dünnschicht 2 sowie
10 der oben erläuterten Schichten zwischen dem Trägersubstrat und der Dünnschicht mit all ihren Einzelheiten wurde hier und auch bei den Beschreibungen der Verfahren der Figuren 18a bis 19e der Einfachheit halber verzichtet.

15 Die Dünnschicht 2, die Isolierschicht 9, die Kontaktschichten 7, 43 - 47 und 49 und die Vergütungsschicht 42, 48 werden beispielsweise mit herkömmlichen aus der Halbleitertechnik bekannten Abscheidungsverfahren hergestellt.

20 In einem ersten Teilprozess wird auf ein Aufwachssubstrat 20 eine aktive Dünnschicht 2 aufgewachsen (Figur 17a). Wie weiter oben erläutert weist eine solche Dünnschicht 2 in der Regel eine Mehrzahl von Halbleiterschichten verschiedener Zusammensetzungen auf.

25 Nachfolgend werden in der Dünnschicht 2 zum Erzeugen der Mesen 4 in den Bereichen, in denen später die Lichterzeugung in den Halbleiterchips erfolgen soll, die Kavitäten 8 ausgebildet. Dies erfolgt beispielsweise durch eine geeignete Maskentechnik und anisotropem nasschemischen Ätzen (Figur 17b).
30

Auf der mit den Kavitäten 8 versehenen Seite der Dünnschicht 2 wird dann die Reflexionsschicht 9,10 (hier nicht gezeigt, siehe aber beispielsweise die Figuren 15 und 16)
35 aufgebracht und werden an den Mesen 4 die Durchkontaktierungen 12 (hier nicht gezeigt, siehe aber beispielsweise die Figuren 15 und 16) hergestellt, bevor diese Seite nachfolgend

mit einem Trägersubstratwafer 21 verbunden wird, auf dessen Hauptflächen sich vorzugsweise Kontaktschichten 44,45 befinden (Figur 17c).

5 Nach zumindest teilweisem, vorzugsweise vollständigem Entfernen des Aufwachssubstrat 20 werden auf die freigelegte Fläche der Dünnfilmschicht 2 in jedem Flächenbereich, in dem ein Halbleiterchip entstehen soll, ein Bondpad 7 aufgebracht, mit dem über Anschlußstege 49 (siehe Figur 20) ein Stromzufüh-
10 rungsrahmen 43 verbunden ist, der am äußeren Rand der Dünnfilmschicht 2 des späteren Chips verläuft. Beispielhafte Materialien solcher Kontaktschichten sind oben bereits genannt. Die Strahlungsauskopplflächen der späteren Chips, die sich zwischen den Bondpads 7 und den Kontaktierungsrahmen 70 be-
15 finden, werden mit einer optischen Vergütungsschicht 42 versehen. Man vergleiche hierzu Figur 17d.

Vor dem Vereinzeln des derart prozessierten Wafers wird die Dünnfilmschicht 2 entlang der Trennpfade 22 vorzugsweise mit-
20 tels Ätzen durchtrennt und an den dadurch entstehenden Flanken der Dünnfilmschicht erforderlichenfalls eine Damageätzung durchgeführt. Die Flanken der Dünnfilmschicht 2 können, falls erforderlich, mit einer Vergütungsschicht und/oder Passivierungsschicht versehen werden.

25 Nach diesem Schritt wird dann der Trägersubstratwafer 21 beispielsweise mittels Sägen oder Ritzen und Brechen entlang der Trennpfade 22 durchtrennt, so daß einzelne Halbleiterchips 23 entstehen.

30 Die komplette Herstellung der Halbleiterchips erfolgt folglich vorteilhafterweise im Scheibenverbund; das heißt, dass die Vereinzelung des Wafers zu einzelnen Chips der letzte Schritt des Prozesses ist, bevor zu einem späteren Zeitpunkt
35 die Chips beispielsweise in Gehäuse montiert werden.

Das in den Figuren 18a bis 18e dargestellte Verfahren unterscheidet sich von dem der Figuren 17a - 17e im Wesentlichen dadurch, daß das separate Durchtrennen der Dünnfilmschicht 2 vor dem Durchtrennen des Trägersubstratwafers 21 weggelassen wird und das Durchtrennen der Dünnfilmschicht 2 zusammen mit dem Durchtrennen des Trägersubstratwafers 21 entlang der Trennlinien 22 in einem Schritt erfolgt.

Das in den Figuren 19a bis 19e dargestellte Verfahren unterscheidet sich von dem der Figuren 17a - 17e im Wesentlichen dadurch, daß das separate Durchtrennen der Dünnfilmschicht 2 vor dem Verbinden der Dünnfilmschicht 2 mit dem Trägersubstratwafer 21 erfolgt.

Das Entfernen des Aufwachssubstrats kann anstatt mittels Schleifen und/oder naßchemischem Ätzen auch mittels Absprengen erfolgen. Hierzu wird vorzugsweise zwischen der Dünnfilmschicht und dem Aufwachssubstrat eine absorbierende Schicht eingebracht, die einen kleineren Bandabstand als das Aufwachssubstrat hat. Durch das Aufwachssubstrat hindurch wird die absorbierende Schicht mittels eines Lasers geeigneter Wellenlänge zerstört. Bei einem Aufwachssubstrat aus GaAs besteht die absorbierende Schicht beispielsweise aus InGaAs und der Laser ist beispielsweise ein IR-Laser.

Bei der in Figur 20 abgebildeten Ansicht eines erfindungsgemäßen Chips von oben sind die mittels Kavitäten 8 erzeugten Mesen 4 sichtbar. Zu sehen ist insbesondere, dass in den Bereichen des Kontaktes 7, der Verbindungsstege 49, des Stromzuführungsrahmens 43 und der Trennspuren keine Kavitäten 8 vorhanden sind. Dies sind alles Bereiche, in denen ohnehin keine oder nur wenig Strahlung ausgekoppelt werden würde. Das Weglassen der Kavitäten in diesen Bereichen führt vorteilhafterweise zu einer deutlichen mechanischen Stabilisierung der Dünnfilmschicht 2. Dies wirkt sich insbesondere im Bereich des Kontaktes 7 positiv aus, weil dort bei der Montage des

Halbleiterchips in ein Gehäuse in der Regel ein Bonddraht aufgesetzt und aufgedrückt wird.

Die Figur 21 zeigt ein Bild einer Schrägansicht einer Oberfläche einer Dünnschicht 2 nach Erzeugung der Kavitäten 8. Auch hier ist ersichtlich, dass in den Bereichen 70 der Kontakte 7, in den Bereichen 80 der Anschlußstege 49 und in den Bereichen 90 der Stromzuführungsrahmen 43 keine Mesen 4 vorhanden sind.

10

Figur 22 zeigt einen vergrößerten Ausschnitt von Figur 21.

Patentansprüche

1. Halbleiterchip für die Optoelektronik, insbesondere strahlungsemittierender Halbleiterchip, mit
 - 5 - einer aktiven Dünnschicht (2), in der eine Photonen emittierende Zone (3) ausgebildet ist; und
 - einem Trägersubstrat (1) für die Dünnschicht (2), das an einer von der Abstrahlrichtung des Chips abgewandten Seite der Dünnschicht (2) angeordnet und mit dieserverbunden ist,
d a d u r c h g e k e n n z e i c h n e t, daß
 - in der aktiven Dünnschicht (2) vom Trägersubstrat (1) her mindestens eine Kavität (8) ausgebildet ist, durch die an der Grenze zwischen Trägersubstrat (1) und Dünnschicht (2) eine Mehrzahl von Mesen (4) ausgebildet ist.
2. Halbleiterchip nach Anspruch 1,
d a d u r c h g e k e n n z e i c h n e t, daß
 - der Querschnitt der Kavität (8) im Verlauf vom Trägersubstrat (1) weg kleiner wird.
3. Halbleiterchip nach Anspruch 1 oder 2,
d a d u r c h g e k e n n z e i c h n e t, daß
 - die aktive Dünnschicht eine Schichtenfolge auf der Basis von $\text{In}_{1-x-y}\text{Al}_x\text{Ga}_y\text{P}$ (wobei $0 \leq x \leq 1$, $0 \leq y \leq 1$ und $x+y \leq 1$ ist) aufweist.
4. Halbleiterchip nach Anspruch 1,
d a d u r c h g e k e n n z e i c h n e t, daß
 - 30 - die Kavitäten (8) derart tief ausgebildet sind, dass sie die aktive Zone (3) durchtrennen.
5. Halbleiterchip nach einem der vorhergehenden Ansprüche,
d a d u r c h g e k e n n z e i c h n e t, daß
 - 35 - durch eine Mehrzahl von Kavitäten (8) nur in denjenigen Bereichen, welche die strahlungserzeugenden Bereiche der

Dünnschicht (2) darstellen, Mesen (4) ausgebildet sind.

- 5 6. Halbleiterchip nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß
- wenigstens eine Trajektorie (18) der von der aktiven Zone (3) emittierten Photonen von der jeweiligen Mesa (4) zu einer der benachbarten Mesen (4) führt.
- 10 7. Halbleiterchip nach Anspruch 5 oder 6, dadurch gekennzeichnet, daß
- sich die Mesen (4) zum Trägersubstrat hin verjüngen.
- 15 8. Halbleiterchip nach Anspruch 7, dadurch gekennzeichnet, daß
- die Mesen (4) konkave Seitenflächen (13) aufweisen.
- 20 9. Halbleiterchip nach einem der Ansprüche 5 bis 8, dadurch gekennzeichnet, daß
- die Mesen (4) pyramidenstumpfförmig ausgebildet sind.
- 25 10. Halbleiterchip nach einem der Ansprüche 5 bis 9, dadurch gekennzeichnet, daß
- die aktive Zone (3) in einer der Deckschicht (5) benachbarten Hälfte der Mesen (4) angeordnet ist.
- 30 11. Halbleiterchip nach einem der Ansprüche 5 bis 10, dadurch gekennzeichnet, daß
- die Deckschicht (5) für die von der aktiven Zone (3) emittierten Photonen weitestgehend transparent ist.
- 35 12. Halbleiterchip nach einem der Ansprüche 5 bis 11, dadurch gekennzeichnet, daß
- die Deckschicht (5) hoch dotiert ist.
13. Halbleiterchip nach einem der Ansprüche 4 bis 12, dadurch gekennzeichnet, daß

- die Mesen (4) mit einer Reflexionsschicht (9, 10) bedeckt sind.

14. Halbleiterchip nach Anspruch 13,

5 d a d u r c h g e k e n n z e i c h n e t, daß

- die Reflexionsschicht eine mit einer Isolierschicht (9) unterlegte Metallisierungsschicht (10) aufweist.

15. Halbleiterchip nach einem der vorhergehenden Ansprüche,

10 d a d u r c h g e k e n n z e i c h n e t, daß

- die aktive Dünnschicht (2) eine Dicke von zwischen 5 μm und 50 μm aufweist.

16. Halbleiterchip nach Anspruch 15,

15 d a d u r c h g e k e n n z e i c h n e t, daß

- die aktive Dünnschicht (2) eine Dicke von zwischen 5 μm und 25 μm aufweist.

17. Halbleiterchip nach einem der vorigen Ansprüche,

20 d a d u r c h g e k e n n z e i c h n e t, daß

- die Tiefe der zumindest einen Kavität (8) größer als die Hälfte der Dicke der Dünnschicht (2) ist.

18. Halbleiterchip nach einem der vorigen Ansprüche,

25 d a d u r c h g e k e n n z e i c h n e t, daß

- das Trägersubstrat (1) elektrisch leitfähig ist und auf der der Dünnschicht (2) abgewandten Seite eine elektrische Kontaktfläche (44) aufweist.

19. Halbleiterchip nach einem der Ansprüche 1 bis 17,

30 d a d u r c h g e k e n n z e i c h n e t, daß

- das Trägersubstrat (1) elektrisch isolierend oder elektrisch leitfähig ist und auf der der Dünnschicht (2) zugewandten Seite neben der Dünnschicht (2) eine elektrische Kontaktfläche (46) aufweist.

35

20. Halbleiterchip nach einem der vorigen Ansprüche,
d a d u r c h g e k e n n z e i c h n e t, daß
- die der Befestigungsseite (11) gegenüberliegende Oberfläche (6) der Dünnschicht (2) mit einer optischen Vergütungsschicht (42) zur verbesserten Lichtauskopplung versehen ist.
21. Halbleiterchip nach Anspruch 20,
d a d u r c h g e k e n n z e i c h n e t, daß
- die optische Vergütungsschicht (42) aus Siliziumnitrid gebildet ist.
22. Halbleiterchip nach Anspruch 20,
d a d u r c h g e k e n n z e i c h n e t, daß
- die optische Vergütungsschicht (42) aus leitfähigem Indium-Zinn-Oxid gebildet ist.
23. Halbleiterchip nach einem der vorigen Ansprüche,
d a d u r c h g e k e n n z e i c h n e t, daß
- die Dünnschicht (2) im Bereich gegenüber einer oder mehrerer Kontaktstellen (7, 43) keine Kavität (8) aufweist.
24. Halbleiterchip nach einem der vorigen Ansprüche,
d a d u r c h g e k e n n z e i c h n e t, daß
- sich die Mesen (4) in Richtung zum Trägersubstrat (1) hin verjüngen.
25. Halbleiterchip nach Anspruch 24,
d a d u r c h g e k e n n z e i c h n e t, daß
- die Mesen (4) eine pyramidenstumpfförmige oder kegelförmige Form haben und die schrägen Seitenflächen einen Anstellwinkel ϕ gegen die laterale Erstreckungsrichtung der Dünnschicht (2) von zwischen 5° und 60° , insbesondere zwischen 10° und 40° aufweist.

26. Halbleiterchip nach Anspruch 25,
dadurch gekennzeichnet, daß
- der Anstellwinkel ϕ zwischen 15° und 30° liegt.

- 5 27. Verfahren zum gleichzeitigen Herstellen einer Mehrzahl von Halbleiterchips für die Optoelektronik mit einer aktiven Dünnschicht (2), in der eine Photonen emittierende aktive Zone (3) ausgebildet ist, mit den Verfahrensschritten:
- 10 - Epitaktisches Aufwachsen einer die Photonen emittierende Zone (3) enthaltende Schichtenfolge auf einem Aufwachssubstratwafer (20);
- Ausbilden von zumindest einer Kavität (8) in der Schichtenfolge, derart, dass eine Mehrzahl von Mesen (4) in
- 15 der Schichtfolge entstehen;
- Aufbringen von zumindest einer Isolierschicht (9) auf die mit den Kavitäten (8) versehene Oberfläche der Schichtenfolge;
- Herstellen von jeweils mindestens einer Durchkontaktierung (12) auf den Mesen (4);
- 20 - Aufbringen des Scheibenverbundes aus Aufwachssubstratwafer (20) und Schichtenfolge auf einen Trägersubstratwafer (21) derart, dass die Mesen (4) zum Trägersubstratwafer (21) gewandt sind, und Verbinden des Scheibenverbundes mit dem Trägersubstratwafer (21) insbesondere
- 25 mittels Löten oder Kleben;
- Zumindest teilweises Entfernen des Aufwachssubstratwafers (20);
- Aufbringen einer elektrischen Kontaktierung (7,43,49)
- 30 auf die den Mesen (4) gegenüberliegenden Seite der Schichtenfolge; und
- Vereinzeln des Waferverbundes aus Trägersubstratwafer (21) und strukturierter Schichtenfolge entlang von Trennspuren (22) zu Halbleiterchips (23).

28. Verfahren nach Anspruch 27, bei dem

- vor dem Verbinden der Schichtenfolge mit dem Trägersubstratwafer (21) die Schichtenfolge entlang der Trennspuren (22) durchtrennt wird.

5

29. Verfahren nach Anspruch 28, bei dem

- vor dem Verbinden nach dem Entfernen des Aufwachssubstratwafers 20 und vor dem Durchtrennen des Trägersubstratwafers (21) die Schichtenfolge entlang der Trennspuren (22) in einem separaten Schritt durchtrennt wird.

10

FIG 1

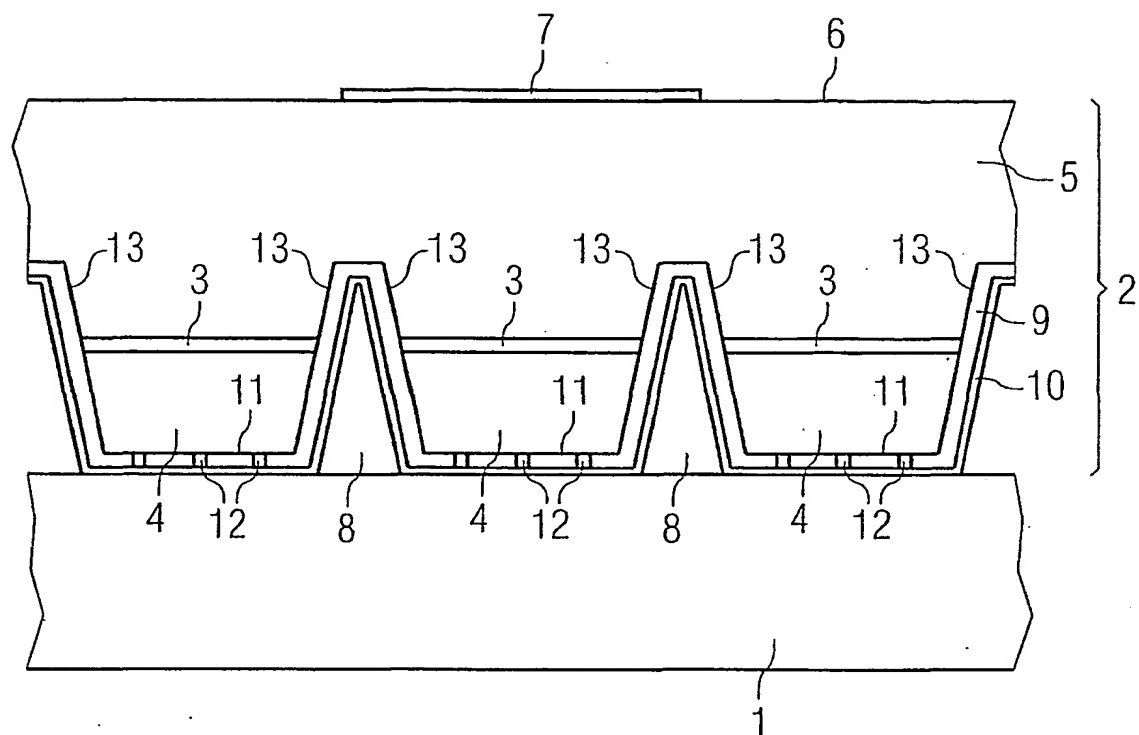
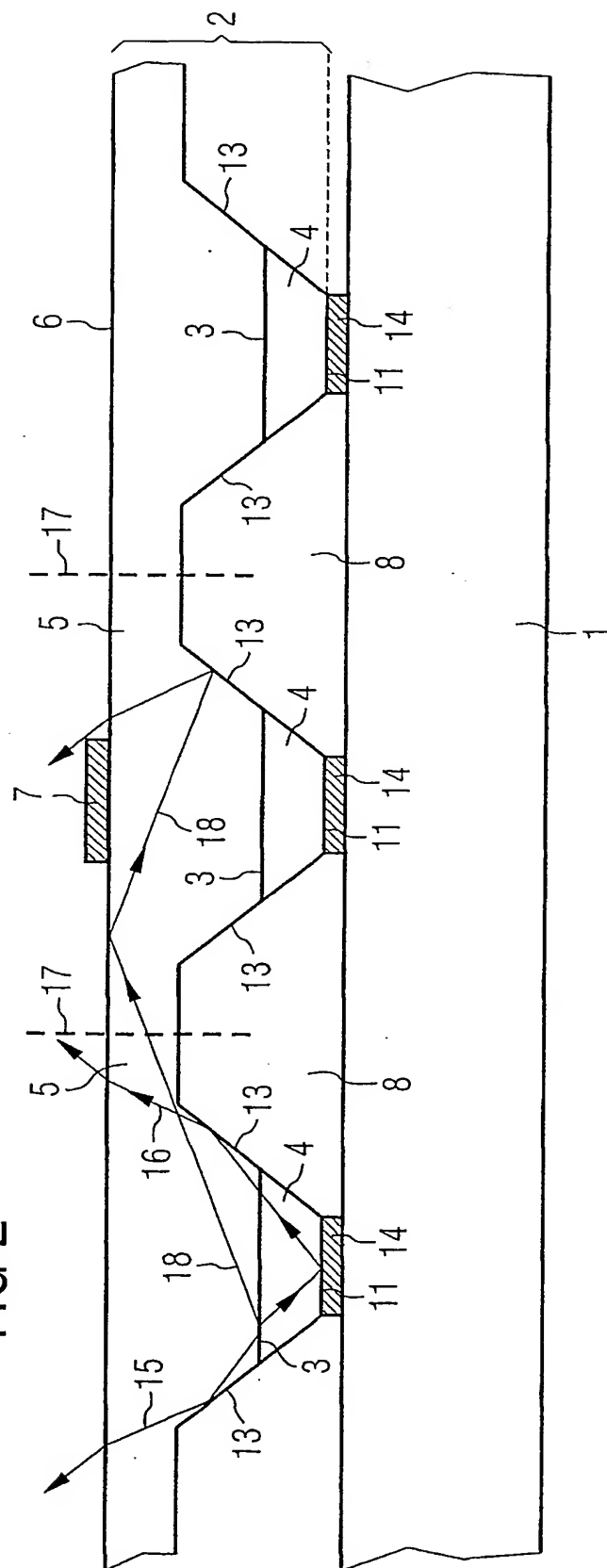


FIG 2



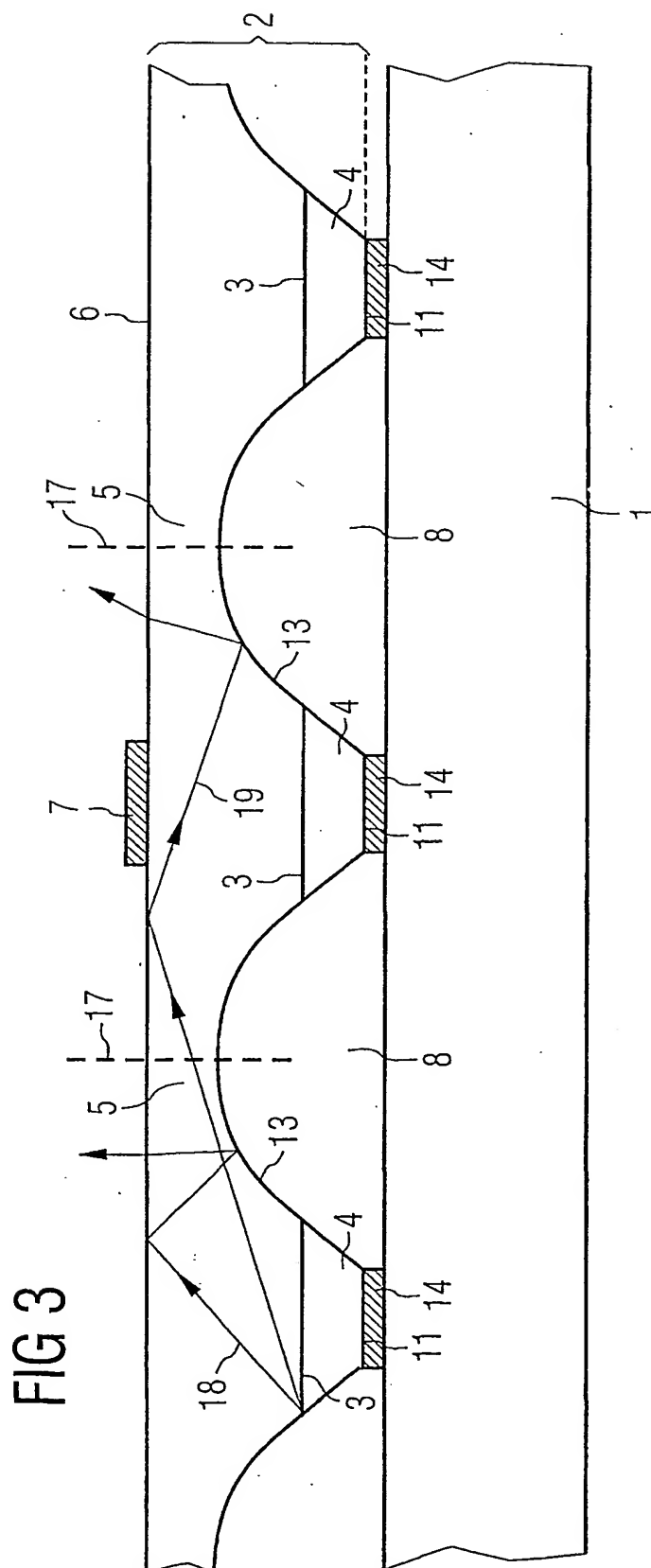


FIG 3

4/17

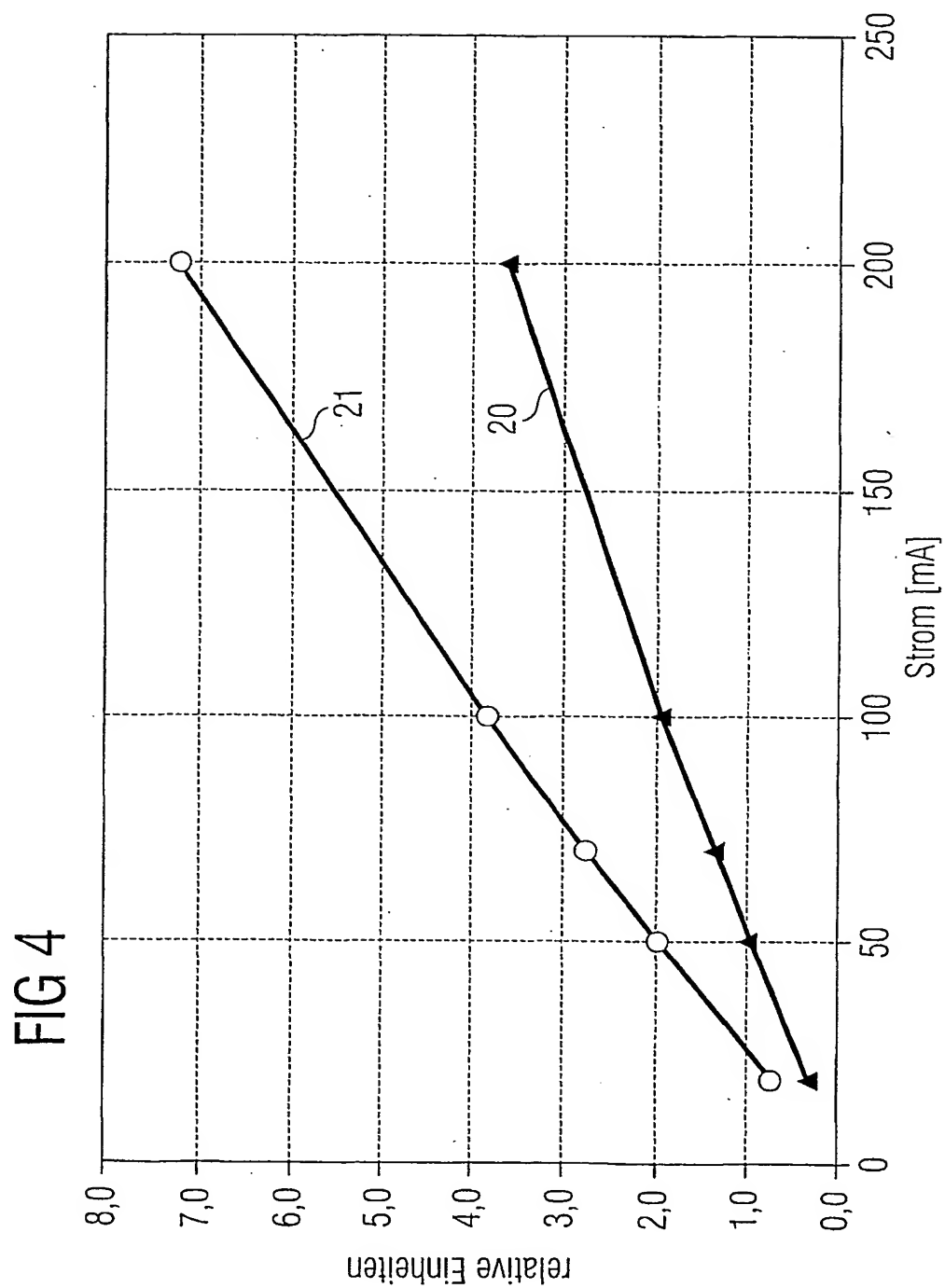
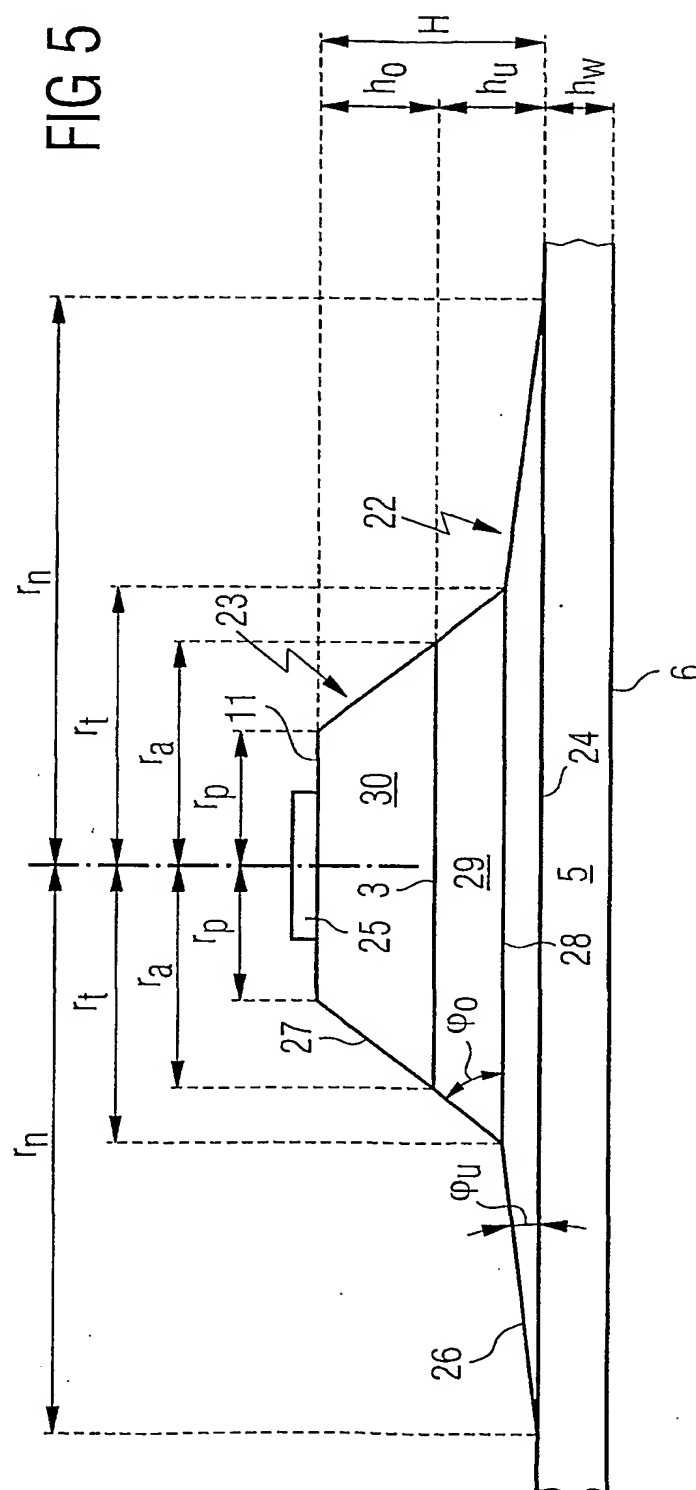


FIG 5



6/17

FIG 6a

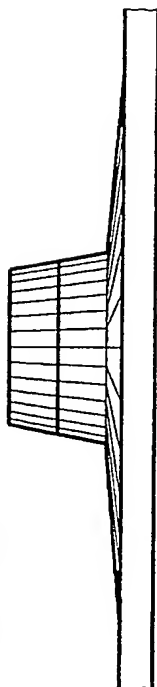


FIG 6b

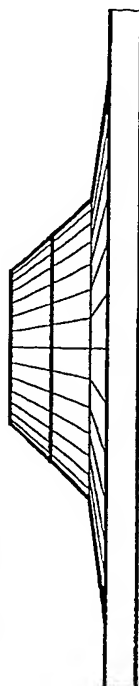


FIG 6c

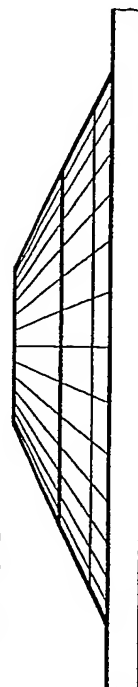
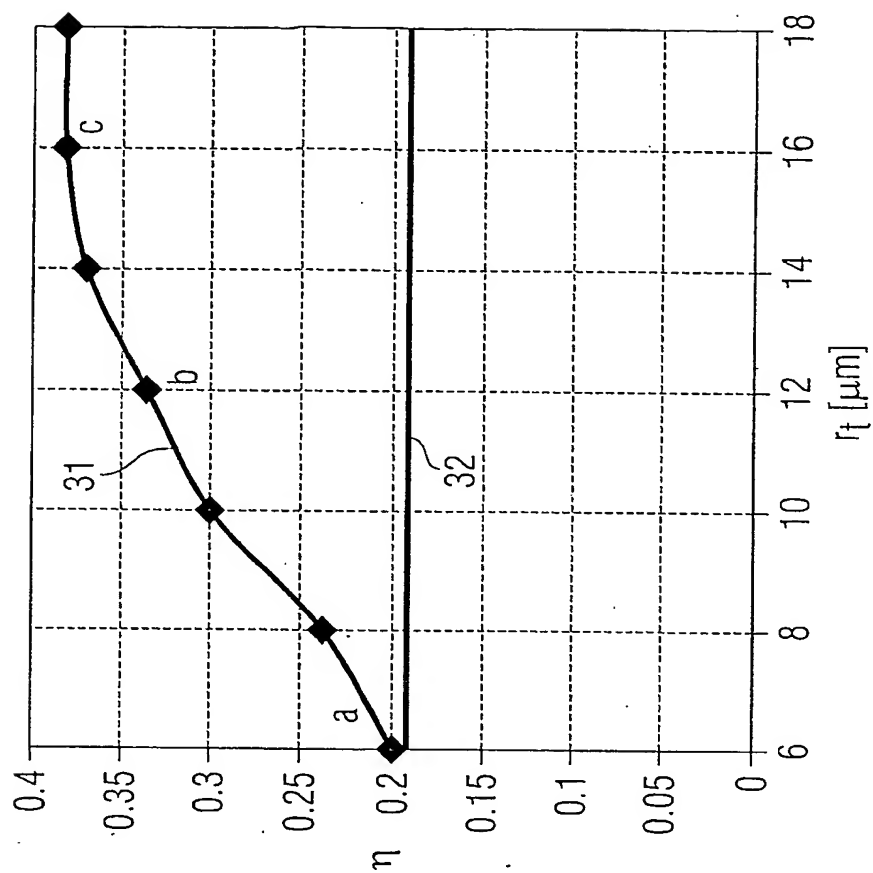


FIG 6d



7/17

FIG 7

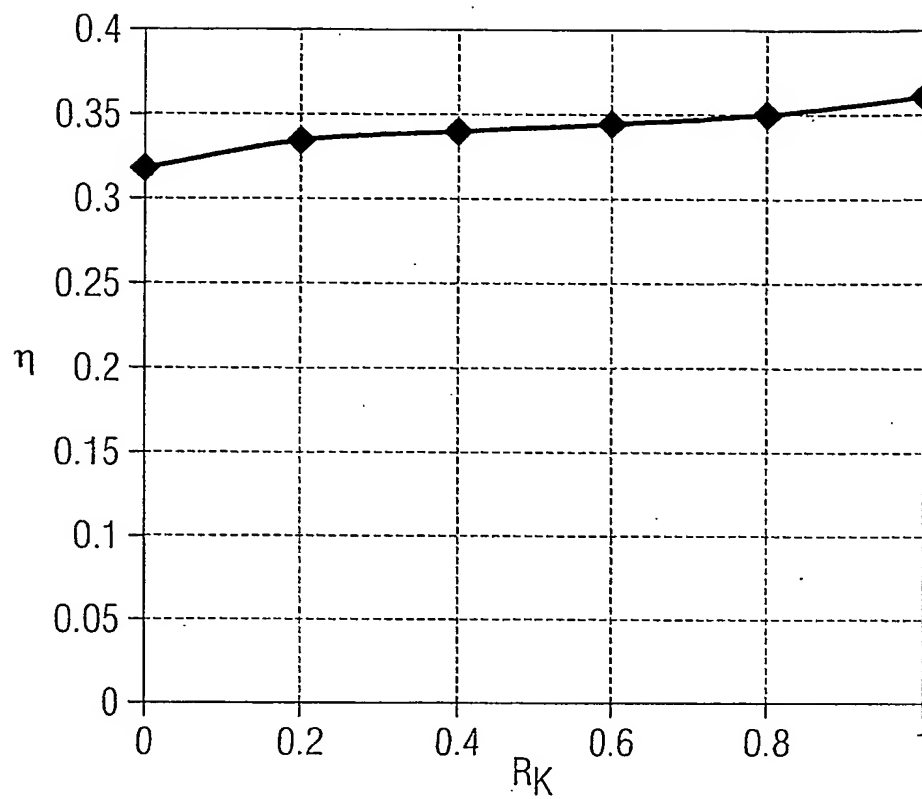
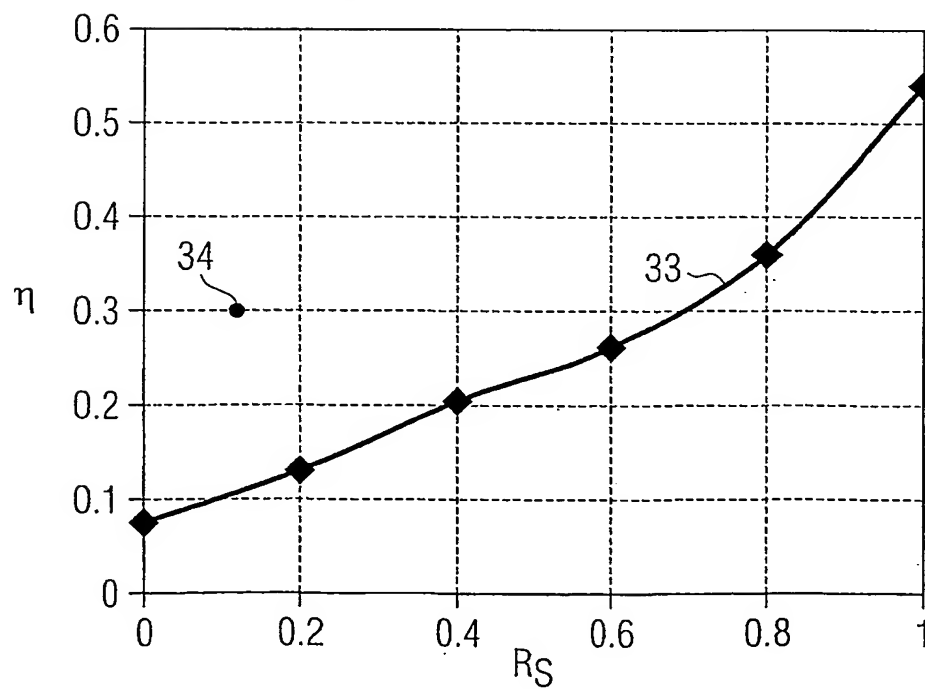


FIG 8



8/17

FIG 9

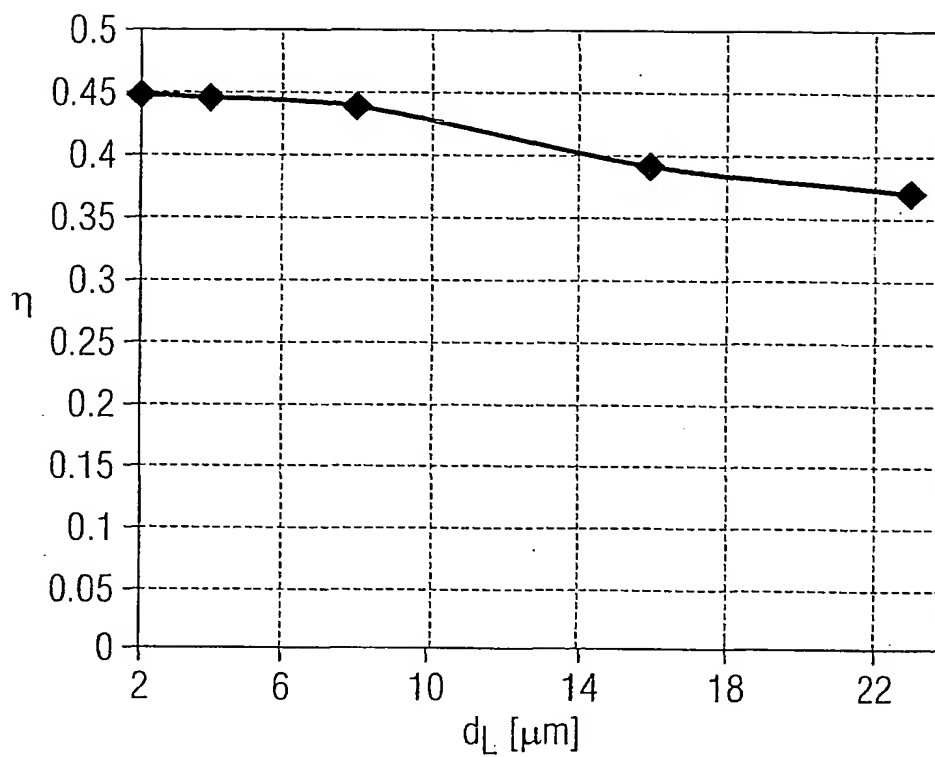


FIG 10a

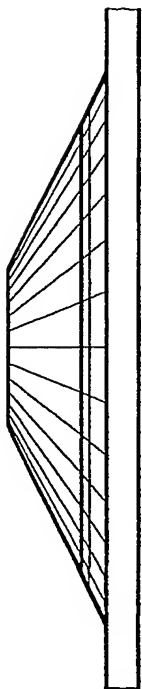


FIG 10b

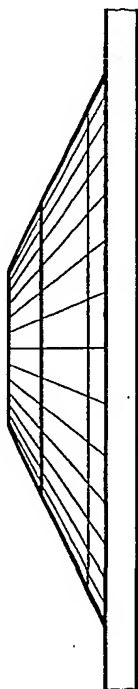


FIG 10c

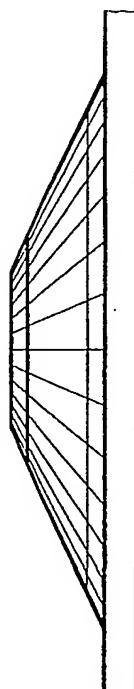
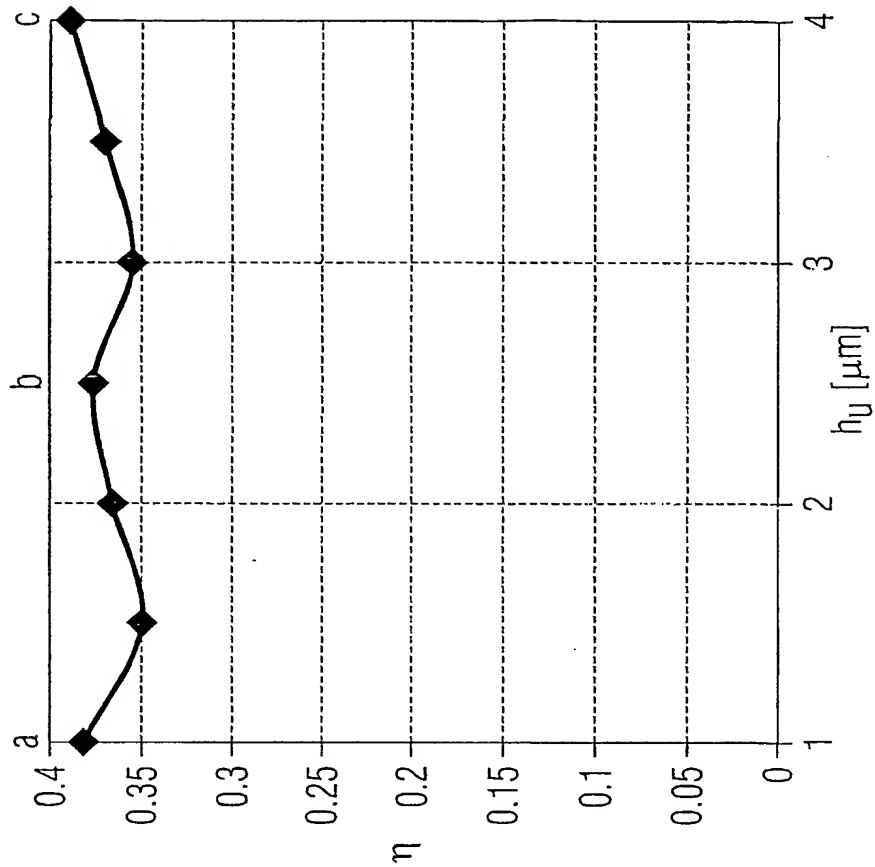


FIG 10d



10/17

FIG 11

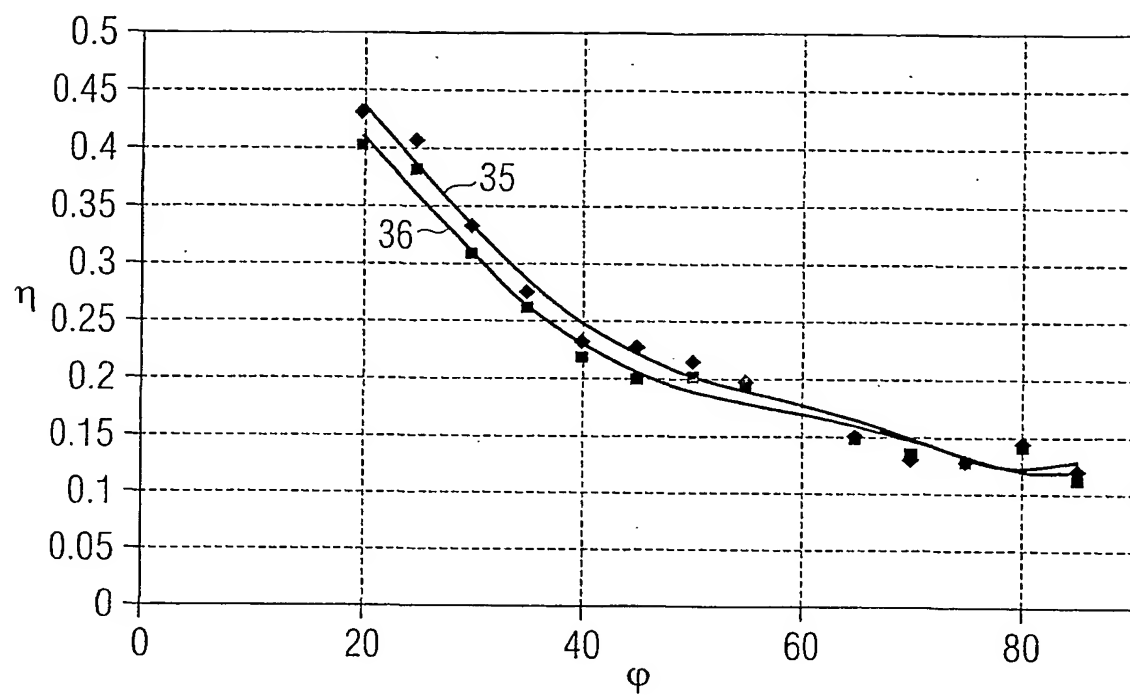
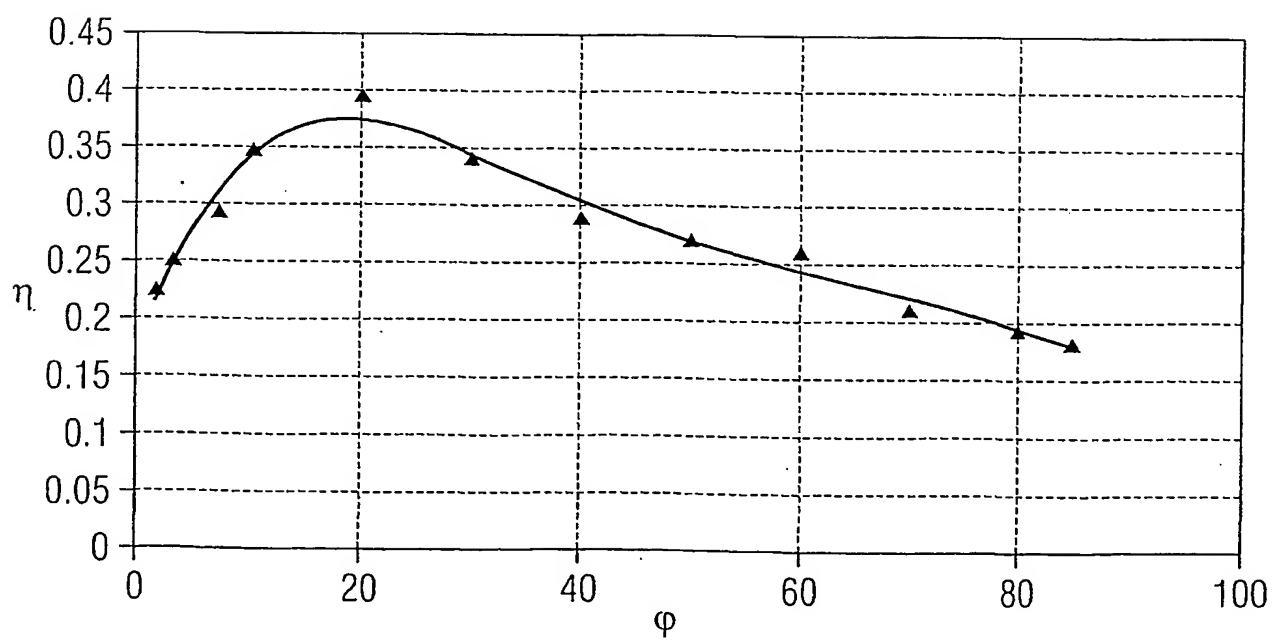


FIG 12



11/17

FIG 13

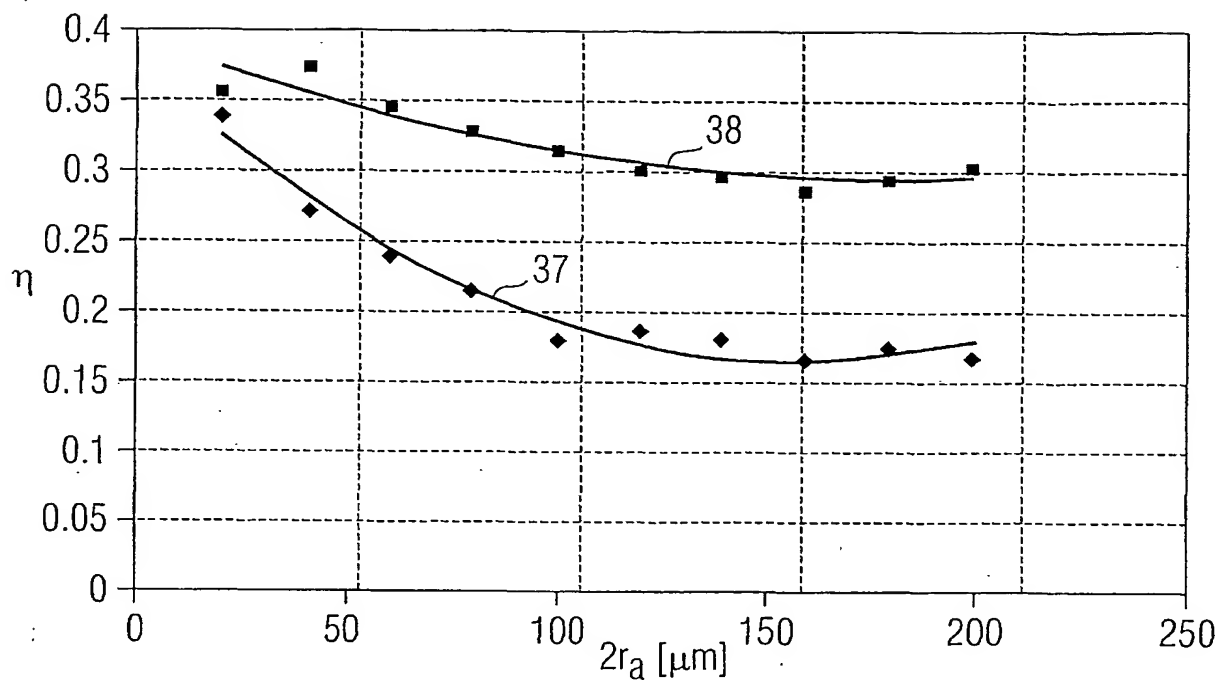


FIG 14

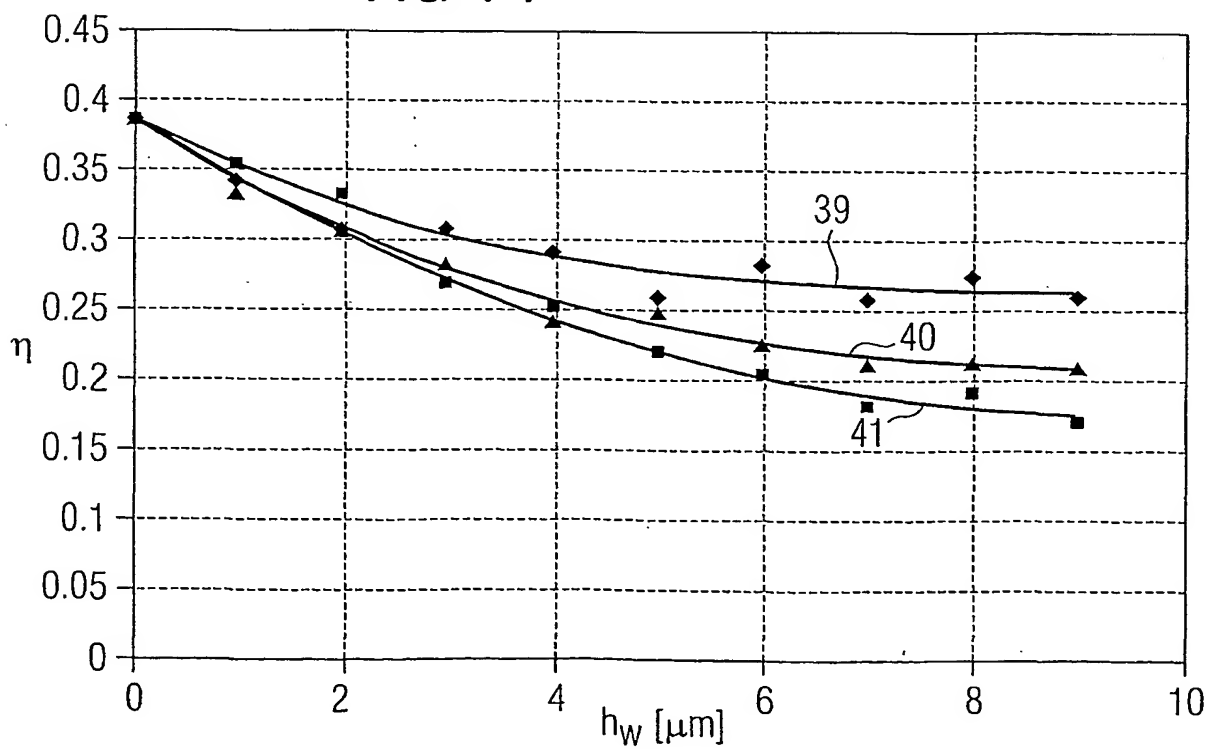


FIG 15

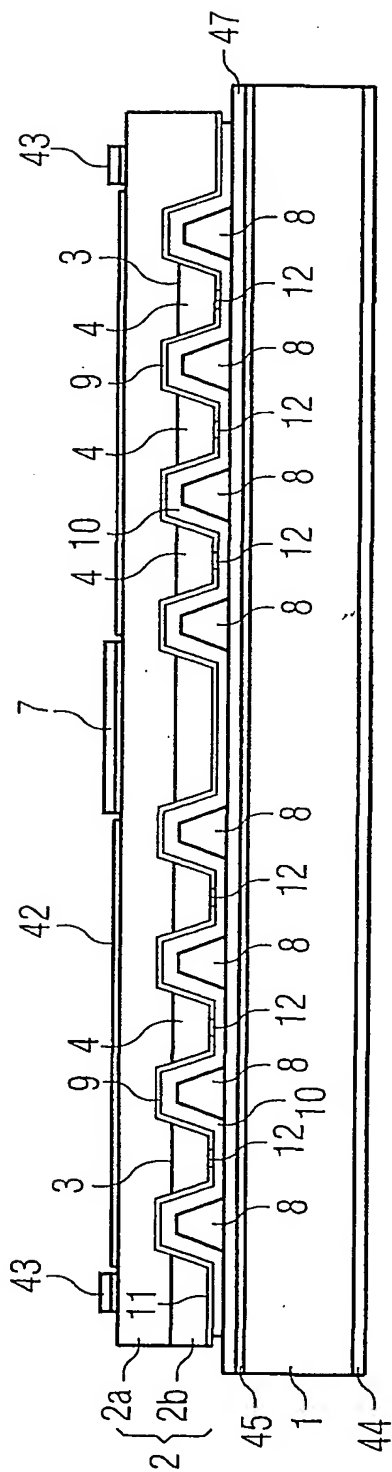


FIG 16

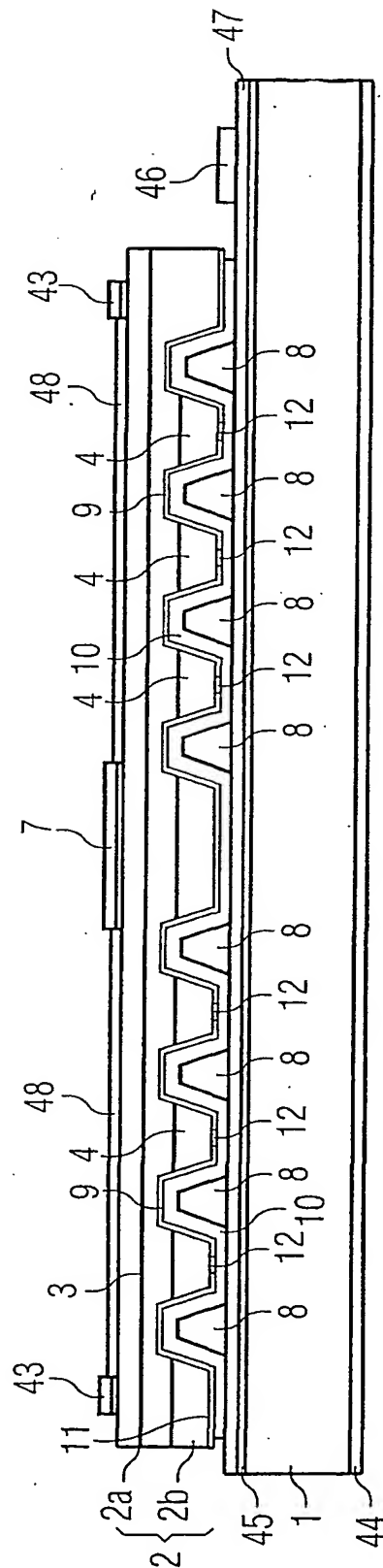


FIG 17a

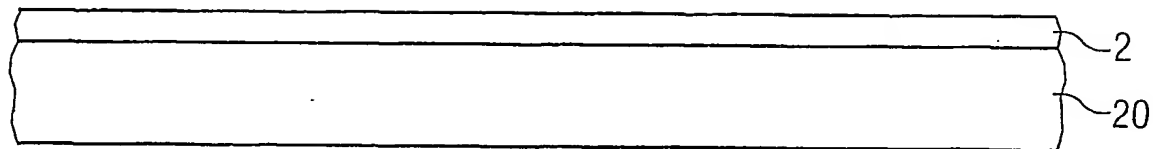


FIG 17b

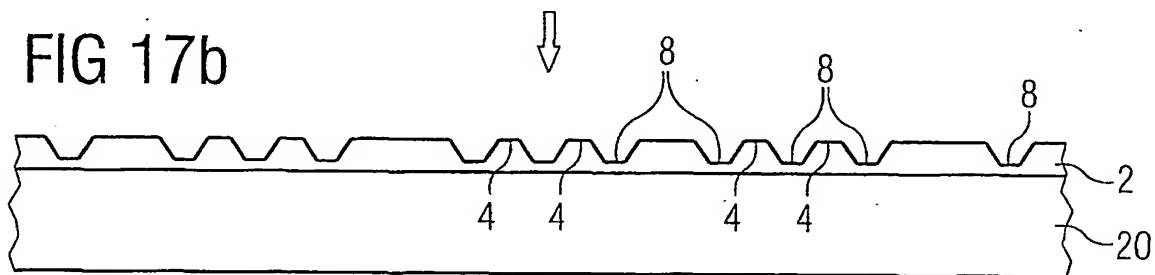


FIG 17c

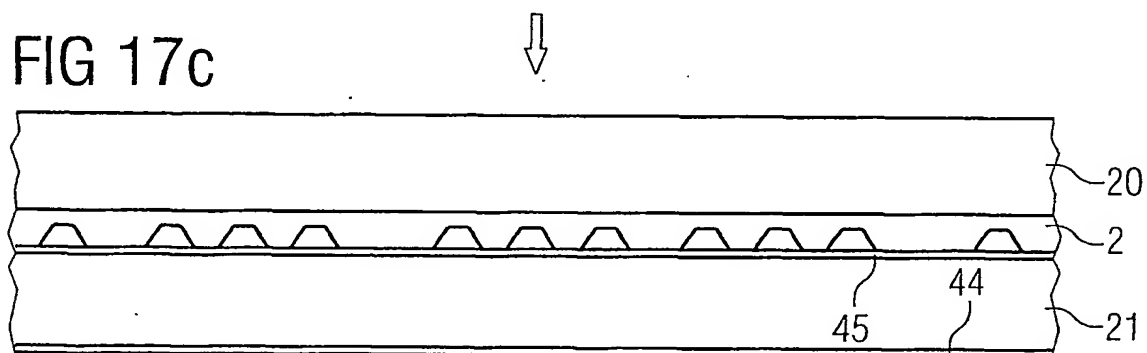


FIG 17d

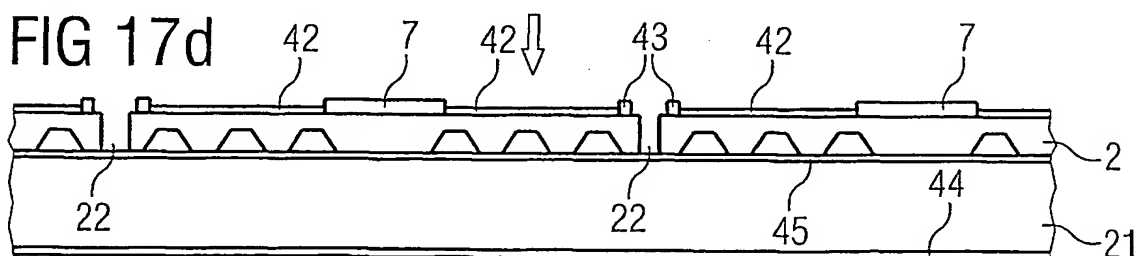


FIG 17e

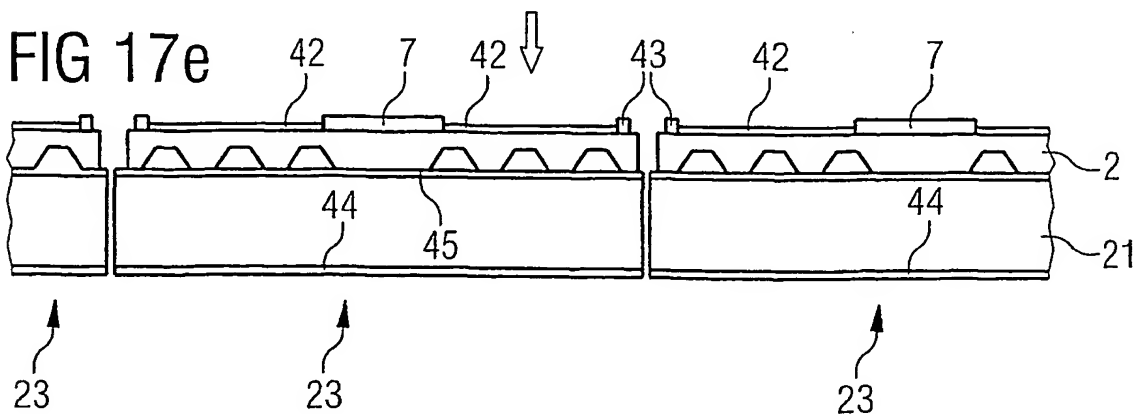


FIG 18a

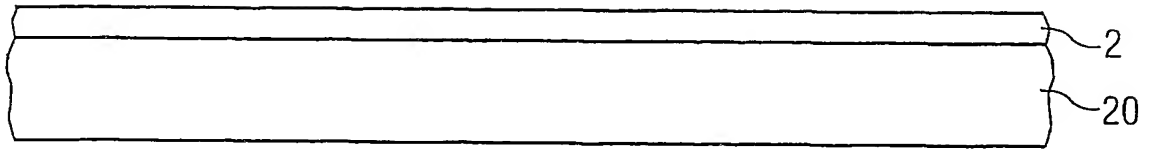


FIG 18b

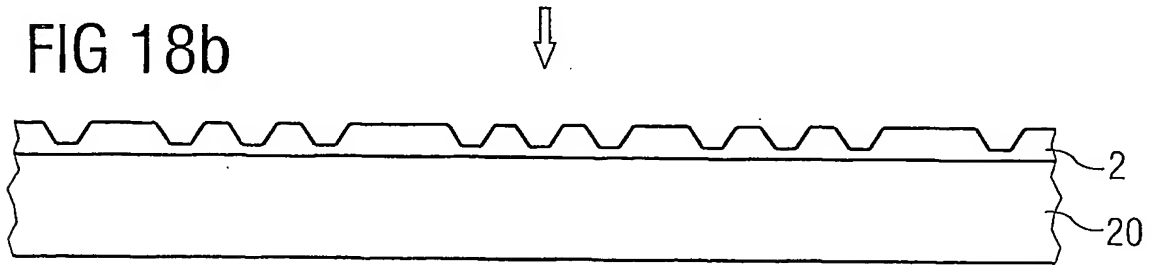


FIG 18c

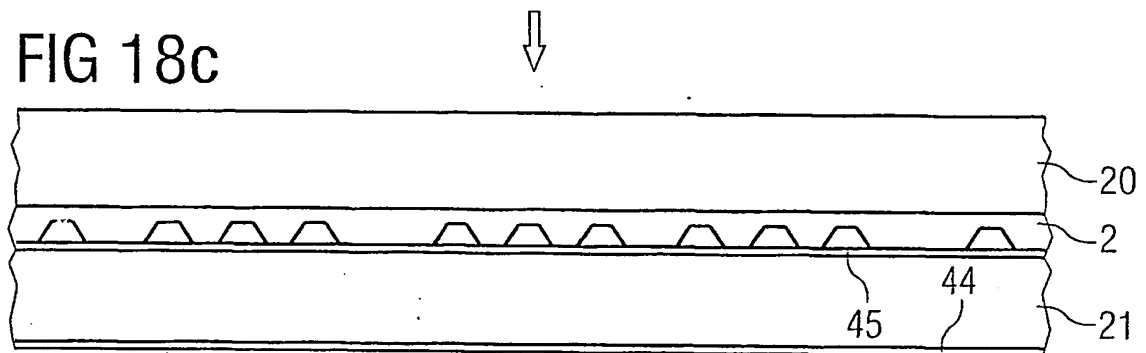


FIG 18d

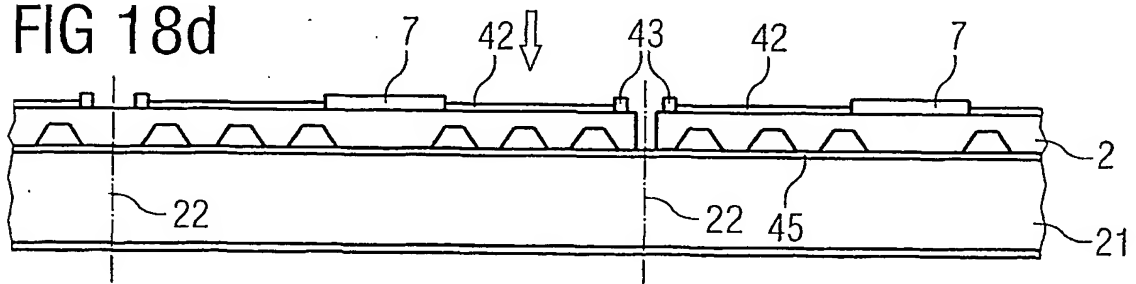


FIG 18e

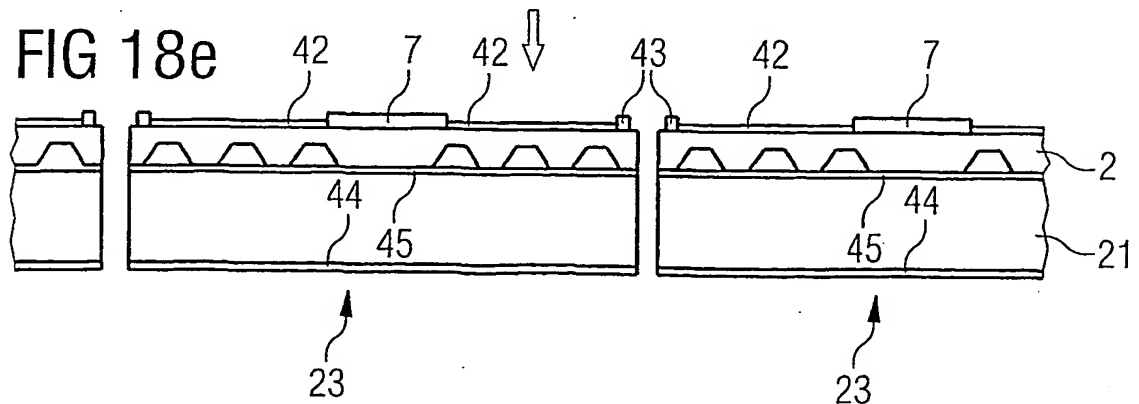


FIG 19a

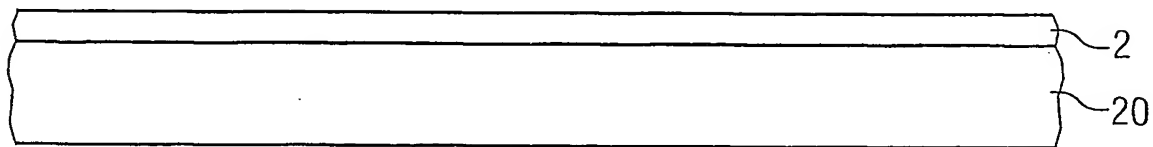


FIG 19b

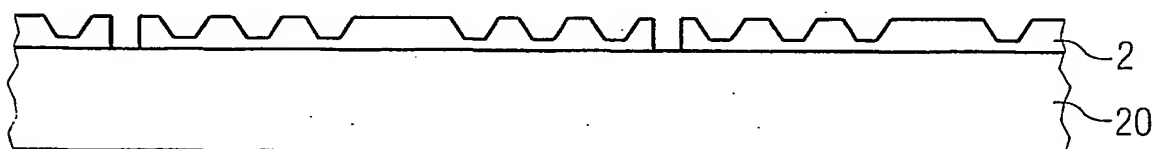


FIG 19c

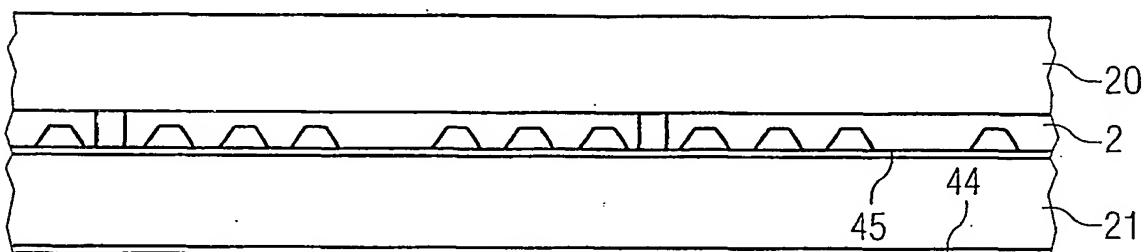


FIG 19d

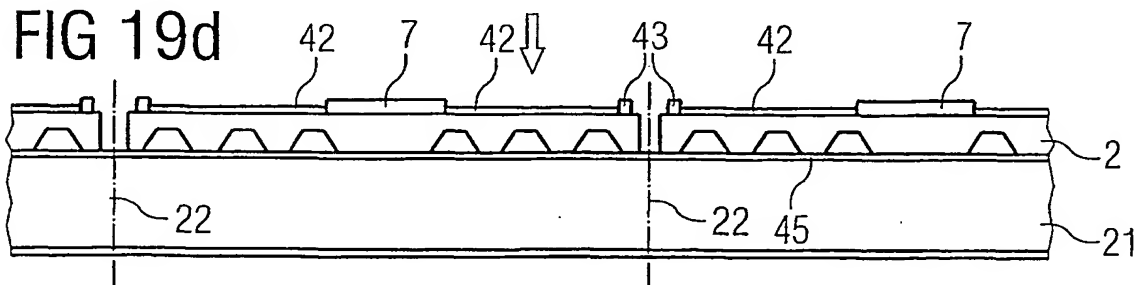
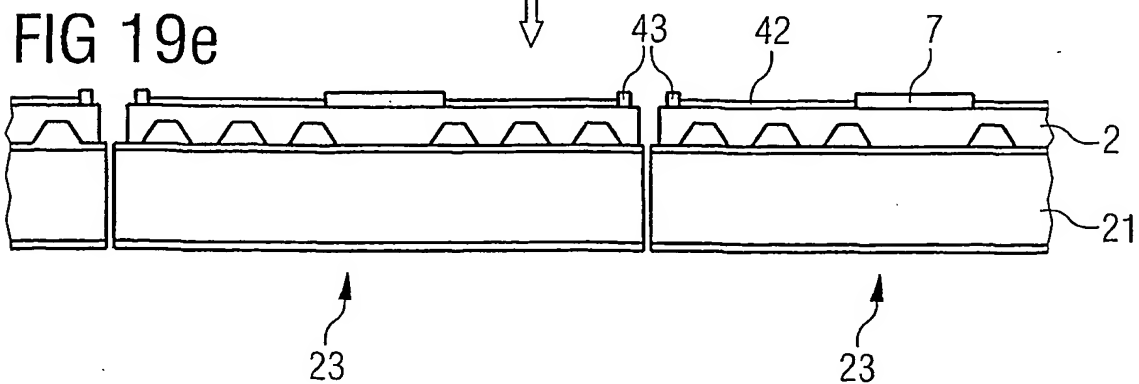
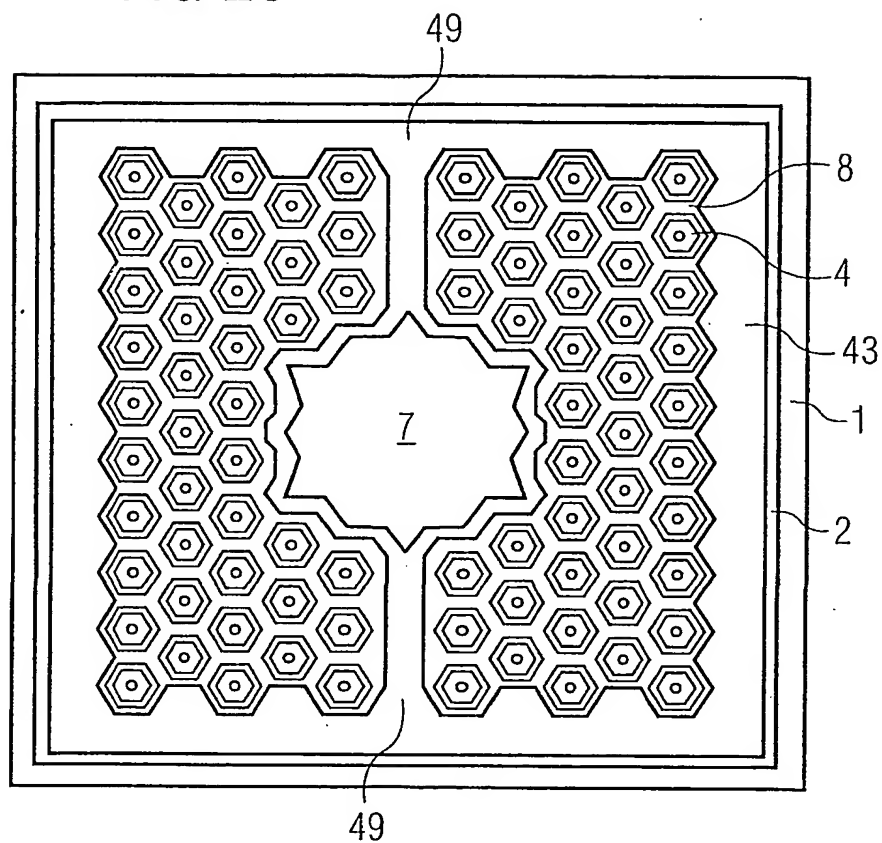


FIG 19e



16/17

FIG 20



17/17

FIG 21

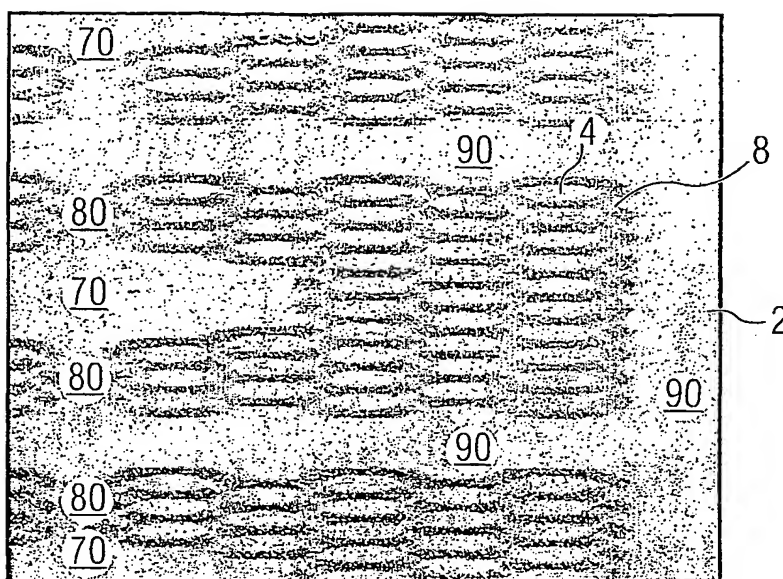
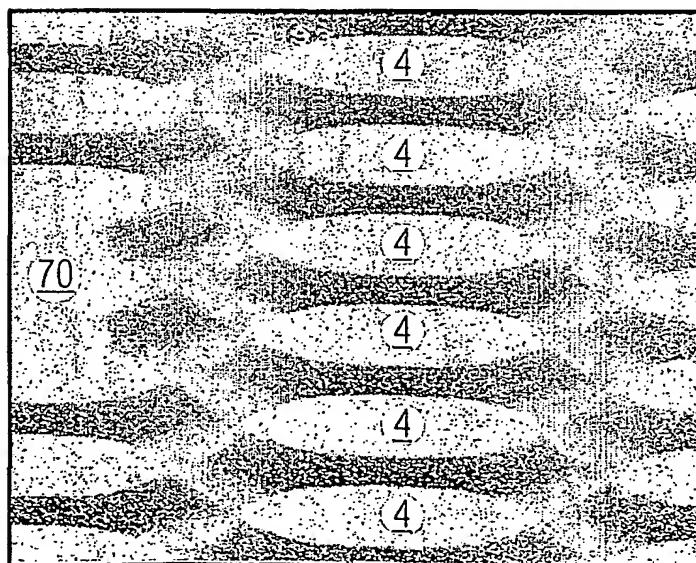


FIG 22



INTERNATIONAL SEARCH REPORT

onal Application No
PCT/DE 01/03033

A. CLASSIFICATION OF SUBJECT MATTER
IPC 7 H01L33/00 H01L27/15

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, PAJ

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 5 491 350 A (UNNO T ET AL) 13 February 1996 (1996-02-13)	1, 3, 5, 7-12, 15, 18, 24
A	the whole document	2, 20, 27
X	PATENT ABSTRACTS OF JAPAN vol. 1995, no. 02, 31 March 1995 (1995-03-31) - & JP 06 318731 A (SHARP CORP), 15 November 1994 (1994-11-15) paragraphs '0032!-'0036!	1-5, 7-13, 20, 24-26
A		21, 22, 27
X	US 3 813 587 A (UMEDA J ET AL) 28 May 1974 (1974-05-28)	1-8, 10-12, 18, 24
A	example 2	27
	-/--	

☒ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

* Special categories of cited documents:

A document defining the general state of the art which is not considered to be of particular relevance

E earlier document but published on or after the international filing date

L document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

O document referring to an oral disclosure, use, exhibition or other means

P document published prior to the international filing date but later than the priority date claimed

T later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

X document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

Y document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

Z document member of the same patent family

Date of the actual completion of the international search

4 January 2002

Date of mailing of the international search report

11/01/2002

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

van der Linden, J.E.

INTERNATIONAL SEARCH REPORT

International Application No

PCT/DE 01/03033

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	DE 27 16 205 A (MATSUSHITA ELECTRIC CO) 10 November 1977 (1977-11-10)	1-7, 9-12, 17, 19, 24-26 27
A	page 9 -page 13, paragraph 2 ---	
A	EP 0 319 907 A (HITACHI CABLE) 14 June 1989 (1989-06-14) column 4, line 24 -column 6, line 52 ---	1, 3-5, 11, 12, 19, 27
A	US 6 091 085 A (LESTER S) 18 July 2000 (2000-07-18) column 5, line 19-63 ---	1-12, 17, 19, 24, 27
A	EP 0 022 486 A (LICENTIA GMBH) 21 January 1981 (1981-01-21) the whole document ---	1-12, 15-18, 24-27
A	EP 0 544 512 A (SHARP KK) 2 June 1993 (1993-06-02) column 2, line 21-55 ---	1-4, 7, 9-12, 15-18, 24-27
A	EP 0 905 797 A (SIEMENS AG) 31 March 1999 (1999-03-31) the whole document ---	27
P, X	WO 01 41219 A (CREE LIGHTING COMPANY) 7 June 2001 (2001-06-07) page 13, line 9 -page 14, line 23 ---	1-12, 15-18, 24-26
P, X	DE 199 11 717 A (OSRAM OPTO SEMICONDUCTOR) 28 September 2000 (2000-09-28) the whole document -----	1, 3-6, 10-12

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/DE 01/03033

Patent document cited in search report		Publication date		Patent family member(s)	Publication date
US 5491350	A	13-02-1996	CN	1103512 A , B	07-06-1995
			JP	3158869 B2	23-04-2001
			JP	7193275 A	28-07-1995
JP 06318731	A	15-11-1994	NONE		
US 3813587	A	28-05-1974	JP	933174 C	14-11-1978
			JP	49005585 A	18-01-1974
			JP	53010840 B	17-04-1978
DE 2716205	A	10-11-1977	JP	52124885 A	20-10-1977
			CA	1074427 A1	25-03-1980
			DE	2716205 A1	10-11-1977
			FR	2348541 A1	10-11-1977
			GB	1553783 A	10-10-1979
EP 0319907	A	14-06-1989	JP	1151275 A	14-06-1989
			JP	2016432 C	19-02-1996
			JP	7052779 B	05-06-1995
			DE	3870419 D1	27-05-1992
			EP	0319907 A2	14-06-1989
			US	4933601 A	12-06-1990
US 6091085	A	18-07-2000	JP	11274568 A	08-10-1999
EP 0022486	A	21-01-1981	DE	2926803 A1	12-02-1981
			EP	0022486 A1	21-01-1981
			JP	56040288 A	16-04-1981
EP 0544512	A	02-06-1993	JP	2837580 B2	16-12-1998
			JP	6005921 A	14-01-1994
			JP	2786375 B2	13-08-1998
			JP	6005912 A	14-01-1994
			JP	2834922 B2	14-12-1998
			JP	5145119 A	11-06-1993
			DE	69226848 D1	08-10-1998
			DE	69226848 T2	08-04-1999
			EP	0544512 A1	02-06-1993
			EP	0778625 A2	11-06-1997
			US	5309001 A	03-05-1994
EP 0905797	A	31-03-1999	US	6111272 A	29-08-2000
			EP	0905797 A2	31-03-1999
WO 0141219	A	07-06-2001	AU	1790501 A	12-06-2001
			AU	4139101 A	12-06-2001
			WO	0141219 A1	07-06-2001
			WO	0141225 A2	07-06-2001
DE 19911717	A	28-09-2000	DE	19911717 A1	28-09-2000

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
IPK 7 H01L33/00 H01L27/15

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)
IPK 7 H01L

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal, PAJ

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	US 5 491 350 A (UNNO T ET AL) 13. Februar 1996 (1996-02-13)	1,3,5, 7-12,15, 18,24
A	das ganze Dokument	2,20,27
X	PATENT ABSTRACTS OF JAPAN vol. 1995, no. 02, 31. März 1995 (1995-03-31) -& JP 06 318731 A (SHARP CORP), 15. November 1994 (1994-11-15)	1-5, 7-13,20, 24-26
A	Absätze '0032!-'0036!	21,22,27
X	US 3 813 587 A (UMEDA J ET AL) 28. Mai 1974 (1974-05-28)	1-8, 10-12, 18,24
A	Beispiel 2	27

-/-

☒ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen

☒ Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

A Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

E älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

L Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

O Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

P Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

T Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

X Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

Y Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

& Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

4. Januar 2002

Absendedatum des internationalen Recherchenberichts

11/01/2002

Name und Postanschrift der internationalen Recherchenbehörde
Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

van der Linden, J.E.

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/DE 01/03033

C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN		
Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	DE 27 16 205 A (MATSUSHITA ELECTRIC CO) 10. November 1977 (1977-11-10)	1-7, 9-12, 17, 19, 24-26 27
A	Seite 9 -Seite 13, Absatz 2 ----	
A	EP 0 319 907 A (HITACHI CABLE) 14. Juni 1989 (1989-06-14) Spalte 4, Zeile 24 -Spalte 6, Zeile 52 ----	1, 3-5, 11, 12, 19, 27
A	US 6 091 085 A (LESTER S) 18. Juli 2000 (2000-07-18) Spalte 5, Zeile 19-63 ----	1-12, 17, 19, 24, 27
A	EP 0 022 486 A (LICENTIA GMBH) 21. Januar 1981 (1981-01-21) das ganze Dokument ----	1-12, 15-18, 24-27
A	EP 0 544 512 A (SHARP KK) 2. Juni 1993 (1993-06-02) Spalte 2, Zeile 21-55 ----	1-4, 7, 9-12, 15-18, 24-27
A	EP 0 905 797 A (SIEMENS AG) 31. März 1999 (1999-03-31) das ganze Dokument ----	27
P, X	WO 01 41219 A (CREE LIGHTING COMPANY) 7. Juni 2001 (2001-06-07) Seite 13, Zeile 9 -Seite 14, Zeile 23 ----	1-12, 15-18, 24-26
P, X	DE 199 11 717 A (OSRAM OPTO SEMICONDUCTOR) 28. September 2000 (2000-09-28) das ganze Dokument -----	1, 3-6, 10-12

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/DE 01/03033

Im Recherchenbericht angeführtes Patentdokument		Datum der Veröffentlichung		Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
US 5491350	A	13-02-1996	CN	1103512 A ,B	07-06-1995
			JP	3158869 B2	23-04-2001
			JP	7193275 A	28-07-1995
JP 06318731	A	15-11-1994	KEINE		
US 3813587	A	28-05-1974	JP	933174 C	14-11-1978
			JP	49005585 A	18-01-1974
			JP	53010840 B	17-04-1978
DE 2716205	A	10-11-1977	JP	52124885 A	20-10-1977
			CA	1074427 A1	25-03-1980
			DE	2716205 A1	10-11-1977
			FR	2348541 A1	10-11-1977
			GB	1553783 A	10-10-1979
EP 0319907	A	14-06-1989	JP	1151275 A	14-06-1989
			JP	2016432 C	19-02-1996
			JP	7052779 B	05-06-1995
			DE	3870419 D1	27-05-1992
			EP	0319907 A2	14-06-1989
			US	4933601 A	12-06-1990
US 6091085	A	18-07-2000	JP	11274568 A	08-10-1999
EP 0022486	A	21-01-1981	DE	2926803 A1	12-02-1981
			EP	0022486 A1	21-01-1981
			JP	56040288 A	16-04-1981
EP 0544512	A	02-06-1993	JP	2837580 B2	16-12-1998
			JP	6005921 A	14-01-1994
			JP	2786375 B2	13-08-1998
			JP	6005912 A	14-01-1994
			JP	2834922 B2	14-12-1998
			JP	5145119 A	11-06-1993
			DE	69226848 D1	08-10-1998
			DE	69226848 T2	08-04-1999
			EP	0544512 A1	02-06-1993
			EP	0778625 A2	11-06-1997
			US	5309001 A	03-05-1994
EP 0905797	A	31-03-1999	US	6111272 A	29-08-2000
			EP	0905797 A2	31-03-1999
WO 0141219	A	07-06-2001	AU	1790501 A	12-06-2001
			AU	4139101 A	12-06-2001
			WO	0141219 A1	07-06-2001
			WO	0141225 A2	07-06-2001
DE 19911717	A	28-09-2000	DE	19911717 A1	28-09-2000